

## CLM811HST-AXC

### 嵌入式 USB 主/从控制器

#### 概述

CLM811HST-AXC是一款超低功耗的USB主/从设备控制器，主设备或从设备模式由软件控制，USB主/从设备控制器支持全高速和低速进行数据通信，具有256字节的内部RAM用于控制寄存器和数据缓冲器，访问时地址自动加1，可大大缩短读写指令周期，具有标准的8位双向微处理器总线接口，包含USB串行接口功能以及内部全速或低速收发器，其中从设备模式下支持DMA双向或提供8位数据路径I/O。直接PinToPin替代国际同类产品，无需更改电路板或系统软件，实现完全兼容替代。启珑微电子自有开发的测试方案进行测试，以确保出厂产品符合甚至优于原始规格书，支持工业级（-40°C~85°C）的工作温度。

#### 特征

- 采用标准微处理器总线接口的嵌入式系统USB主/从控制器
- 主/从模式下均支持全速（12Mbps）和低速（1.5Mbps）USB传输
- 在全速和低速下均符合USB规范1.1
- 在软件控制下作为一个单USB主机或从机工作
- 低速或全速器件的自动检测
- 8位双向数据，端口I/O（从模式下支持DMA）
- 片上SIE和USB收发器
- 支持片上单根HUB
- 256字节的内部SRAM缓冲器
- 改善性能的Ping-pong缓冲器
- 在12或48MHz晶振或振荡器（内置DPLL）下工作

- 5V耐压接口
- 支持暂停（挂起）/恢复、唤醒和低功耗模式
- 自动生成SOF和CRC5/16
- 自动寻址递增模式，节省了存储器读/写周期
- 提供包括源代码驱动程序的开发套件
- 3.3V电源，0.35μm CMOS技术
- 48引脚TQFP封装

#### 应用

- 医疗设备、PC外设、智能仪表、工业控制、家用电器

#### 产品外形

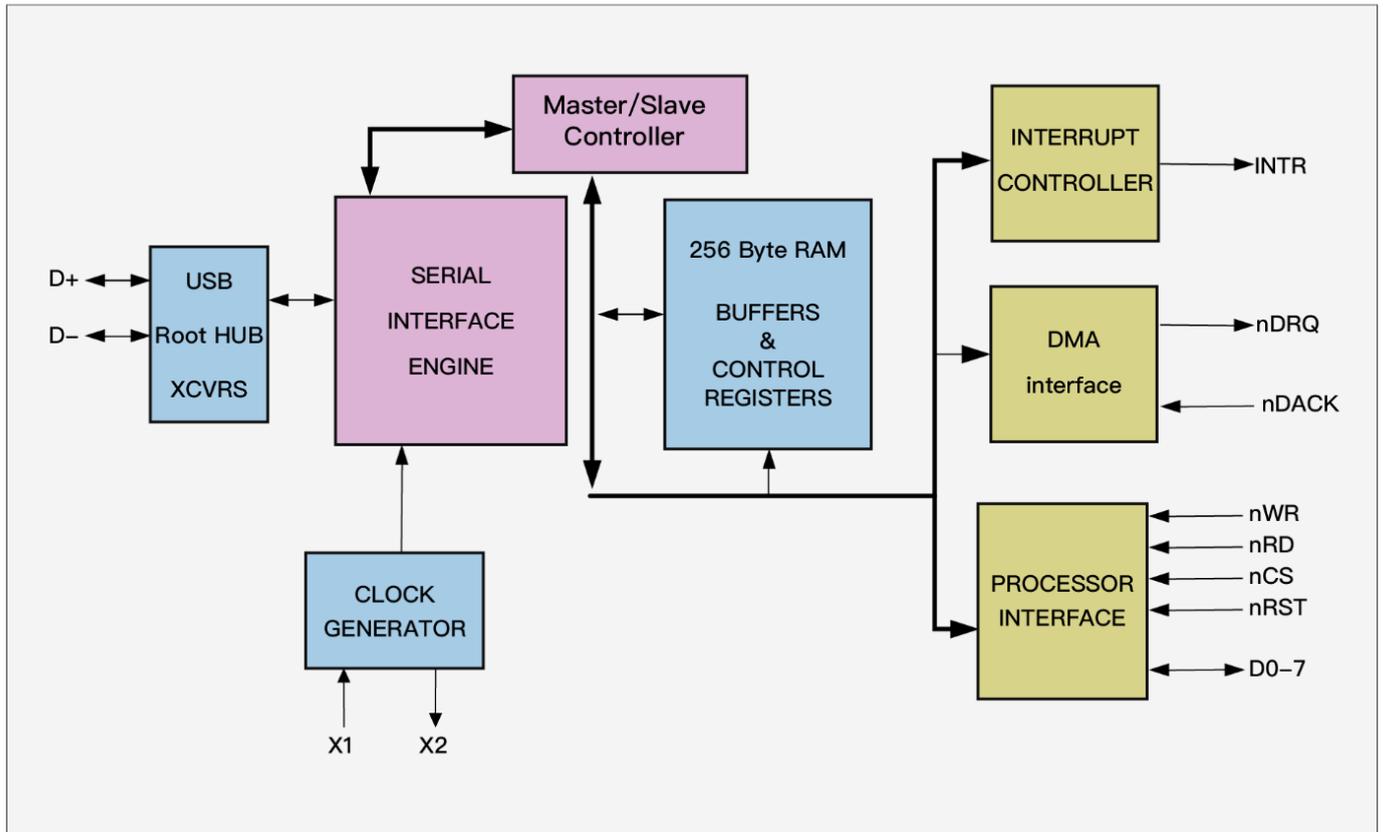


**谨慎!** 建议在操作和组装本部件时采取正常的防静电措施，以防止静电损坏和/或退化。本数据表中的组件不能用于军事或航空航天应用或环境。

## 订购信息

产品型号	特性描述	封装	包装	温度 范围 (°C)	包装数量
CLM811HST-AXC	嵌入式USB主/从控制器	TQFP-48	托盘	-40°C to +85°C	1250PCS

## 功能块



CLM811HST-AXC框图

# 目录

概述.....	1
特征.....	1
应用.....	1
产品外形 .....	1
订购信息 .....	2
功能块 .....	2
目录.....	3
术语.....	4
1. 功能概述.....	6
2. 缓冲存储器.....	7
3. PLL 时钟发生器.....	8
4. USB 收发器.....	9
5. CLM811HST-AXC寄存器.....	9
6. USB 控制寄存器 .....	10
7. USB 复位顺序 .....	15
8. 端点控制寄存器 .....	19
9. USB 控制寄存器 .....	21
10.物理连接 .....	25
11.USB 主控制器引脚描述 .....	26
12.绝对最大极限值.....	28
13.直流特性 .....	29
14.总线接口时序要求 .....	30
14.封装框图 .....	36
15.联系方式.....	37

# 术语

ADR	Address 地址
AL	Application Layer 应用层
BD	Bidirectional 双向
BGA	Ball Grid Array 球阵列封装
BHE	Bus High Enable 总线高电平使能
CMD	Command 命令
CS	Chip Select 片选
DC	Distributed Clock 集成分布时钟
DL	Data Link Layer 数据链接层
EMC	Electromagnetic Compatibility 电磁兼容性
EMI	Electromagnetic Interference 电磁干扰
EOF	End of Frame 帧结尾
EEPROM	Electrically Erasable Programmable read only memory 带电可擦可编程只读存储器
FMMU	Fieldbus Memory Management Unit 现场总线内存管理单元
GPI	General Purpose Input 通用数字量输入引脚
GPO	General Purpose Output 通用数字量输出引脚
I	Input 输入
I/O	Input or Output 输入或者输出
I2C	Inter-Integrated Circuit 集成电路总线
IRQ	Interrupt Request 中断请求
LDO	Low Drop-Out regulator 低压差线性稳压器
LVDS	Low Voltage Differential Signaling 低压差分信号
LI-	LVDS RX- 低压差分信号负接收端
LI+	LVDS RX+ 低压差分信号正接收端
LO-	LVDS TX- 低压差分信号负发射端
LO+	LVDS TX+ 低压差分信号正发射端
LED	Light Emitting Diode 发光二极管
MAC	Media Access Controller 介质访问控制
MDIO	Management Data Input / Output 管理数据输入/输出
MI	(PHY) Management Interface 以太网物理层接口器件管理接口
MII	Media Independent Interface 介质无关接口

MISO	Master In – Slave Out 主站输入-从站输出
MOSI	Master Out – Slave In 主站输出-从站输入
n.a.	not available 未使用
n.c.	not connected 未连接
O	Output 输出
PD	Pull-down 下拉
PDI	Process Data Interface 过程数据接口 Physical Device Interface 物理设备接口
PLL	Phase Locked Loop 锁相回路
PU	Pull-up 上拉
PHY	Physical 以太网物理层器件
QFN	Quad Flat package No leads 方形扁平无引脚封装
RD	Read 读
SII	Slave Information Interface 从站信息接口
SM	SyncManager 同步管理器
SOF	Start of Frame 帧起始
SPI	Serial Peripheral Interface 串行外设接口
TA	Transfer Acknowledge 传输应答
TFBGA	Thin-profile Fine-pitch BGA 薄型球栅阵列封装
TS	Transfer Start 传输周期启动
UI	Unused Input (PDI: PD, 其它: GND)未使用的输入引脚
WD	Watchdog 看门狗
WPD	Weak Pull-down 弱下拉, 只够配置信号
WPU	Weak Pull-up 弱上拉, 只够配置信号
WR	Write 写

## 1. 功能概述

### 数据端口，微处理器接口

CLM811HST-AXC微处理器接口提供了一个8位双向数据路径，以及适当的控制线来与外部处理器或控制器连接。编程I/O或存储器映射I/O设计由8位接口、片选、读写输入选通以及单地址线A0来支持。

访问存储器和控制寄存器空间是简单的，可以分为两步：需要一个地址写A0= '0'，然后是一个地址线A0= '1'的寄存器/存储器读或写周期。

此外，在从模式DMA双向接口可使用握手信号，包含nDRQ、nDACK、nWR、nRD、nCS、INTRQ等。

当nWR或nCS无效时，CLM811HST-AXC的WRITE或READ端口终止工作。对于连接CLM811HST-AXC的器件（在写nWR之前使CLM811HST-AXC芯片选择nCS无效），数据保持时间必须从nCS开始测量，并且需要与指定的数值相同。因此，主流的CPU均可以很容易的与CLM811HST-AXC连接在一起工作，而无需任何外部苛刻的逻辑要求。

### DMA 控制器（仅限从模式）

在需要传输大量数据的应用中，如扫描仪接口，CLM811HST-AXC提供了一个DMA接口。该接口支持DMA读或写传输到CLM811HST-AXC内部RAM缓冲器，它通过微处理器数据总线通过两条控制线

（nDRQ-数据请求和nDACK-数据确认）以及nWR线来完成，并控制数据流进入CLM811HST-AXC。CLM811HST-AXC有一个计数寄存器，允许为DMA传输选择可编程块的大小。控制信号nDRQ和nDACK都是为了与标准DMA接口兼容而设计的。

### 中断控制器

CLM811HST-AXC中断控制器提供一个单输出信号（INTRQ），该信号由USB活动可能导致的许多可编程事件来激活。提供的控制和状态寄存器允许用户选择单个或多个事件，这些事件产生一个中断（断言INTRQ），并允许让用户查看中断的状态。通过写入中断状态寄存器，中断可以被清除。

## 2. 缓冲存储器

CLM811HST-AXC包含256字节的内部存储器来用于USB数据缓冲器、控制寄存器和状态寄存器。当处于主模式（主机模式）时存储器被定义，其中前16个字节是寄存器，其余240个字节用于USB数据缓冲器。当处于从模式（外围模式）时，前64个字节与其他各种寄存器一起用于四个端点控制和状态寄存器。因此，这为USB数据传输留下了192字节的端点缓冲空间。

通过变址或直接寻址，8位外部微处理器数据总线可以访问寄存器和数据存储。变址模式使用自动地址递增模式[3]中描述的自动地址递增模式，其中直接寻址用于对单个地址进行读/写。USB传输事务会自动连接到为该传输配置的存储缓冲器。提供的控制寄存器用来确定和分配缓冲存储器中的指针和块大小。

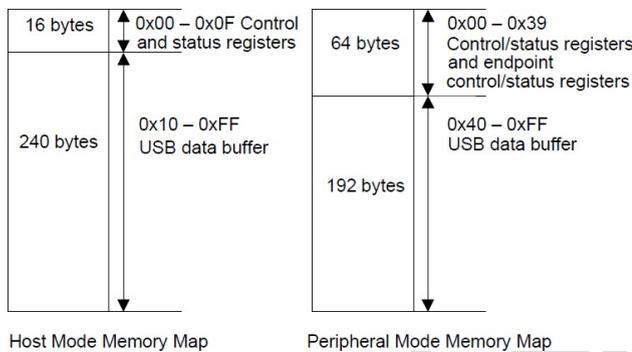


图 1 存储器映射

自动地址递增模式<sup>[3]</sup>

CLM811HST-AXC支持自动地址递增模式，以减少读写存储器周期。在这种模式下，微控制器只需设置一次地址。每当任何后续数据被访问时，内部地址计数器都会前进到下一个地址位置。自动地址递增示例。为了填充数据缓冲器，也就是配置地址10h，请按照以下步骤执行：

1. A0为低，写10h至CLM811HST-AXC。这设置用于下一操作的存储器地址。
2. A0为高，通过一个写操作，将第一个数据字节写入地址10h。例如，Get Descriptor;发送到器件的第一个字节是80h (bmRequestType)，所以你可写80h到地址10h。
3. 现在内部RAM地址指针被设置为11h。因此，通过另一个写操作（A0为高），RAM地址位置11h将与数据一起写入。继续Get Descriptor示例，06h被写入地址11h，作为bRequest值。
4. 重复步骤3，直到在传输中的所有所需的字节都被写入。如果不使用自动递增，则每次在写数据之前需要写地址值，如步骤1所示。

自动地址递增模式的优点是它减少了数据移动到/从器件所需的CLM811HST-AXC存储器读/写周期数量。如使用自动递增模式向/从CLM811HST-AXC传输64字节的数据时，可将周期次数减少到1个地址写周期和64个读/写数据周期；相比随机访问，其需要64个地址写周期和64个数据周期。

### 3. PLL 时钟发生器

CLM811HST-AXC使用一个12MHz或48MHz的外部晶振。两个引脚X1和X2连接低成本晶振电路，如图2和图3所示。如果在应用中需要使用外部时钟源而不使用晶振电路，则可以直接连接该外部时钟源到X1输入引脚。当使用外部时钟源时，不连接X2引脚。

当CM引脚是逻辑0时，内部PLL被旁路，所以时钟源必须满足USB规范规定的时序要求。

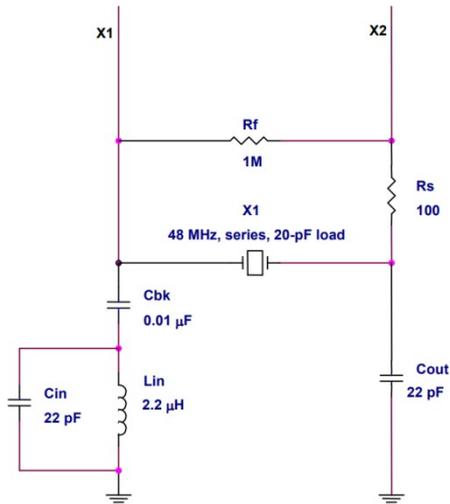


图2全速48MHz晶振电路

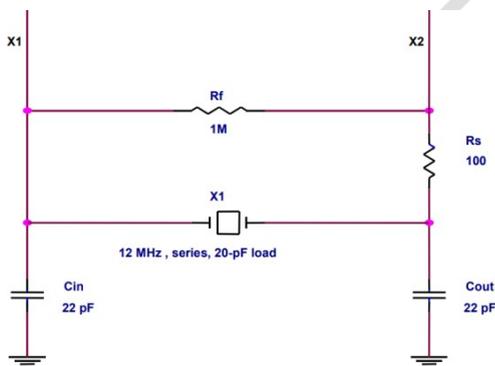


图3可选12MHz晶振电路

#### 典型晶振要求

以下是“典型要求”的示例。请注意，这些指标通常是标准晶振的数值，实现起来要比具有定制值的晶振要便宜。如果在串联电路中使用晶振，则不适用使用负载电容。并联电路的负载电容是一个需求。48MHz的第三谐波晶振需使用Cin/Lin滤波器来保证其工作在48MHz下：

##### 12MHz晶振：

频率容差：	±100ppm或更好
工作温度范围：	0°C至70°C
频率：	12MHz
频率漂移温度：	±50ppm
ESR（串联电阻）：	60Ω
负载电容：	最小10pF
静态电容：	最大7pF
驱动电平：	0.1-0.5mW
操作模式：	基本

##### 24MHz晶振：

频率容差：	±100ppm或更好
工作温度范围：	0°C至70°C
频率：	48MHz
频率漂移温度：	±50ppm
ESR（串联电阻）：	40Ω
负载电容：	最小10pF
静态电容：	最大7pF
驱动电平：	0.1-0.5mW
操作模式：	第三谐波

## 4. USB 收发器

CLM811HST-AXC有一个内置收发器，其符合USB规格1.1。该收发器能以USB全速（12Mbps）和低速（1.5Mbps）发送和接收串行数据。该收发器的驱动部分是差分的，而接收部分由差分接收器和两个单端接收器组成。在内部，收发器连接到串行接口引擎（SerialInterfaceEngine,SIE）逻辑。在外部，收发器连接到USB的物理层。

## 5. CLM811HST-AXC寄存器

CLM811HST-AXC的操作和控制都是通过内部寄存器进行管理的。在主/主机模式工作时前16个地址位被定义为寄存器空间。在从/外围

模式下前64个字节被定义为寄存器空间。寄存器的定义在每种工作模式下变化很大，因此在本文档中进行了单独的定义部分描述了主寄存器定义，而第15页的表19描述了从寄存器的定义。访问寄存器是通过微处理器接口进行的，这类似于正常RAM的访问，并提供USB转换事务的控制和状态信息。

对控制寄存器0FH的任何写入都会使能CLM811HST-AXC的全功能（full feature）位。该位是CLM811HST-AXC的一个内部位，可使能额外的一些功能。

表1显示了在主/主机模式下CLM811HST-AXC的存储器映射和寄存器映射。

Register Name SL811HS	SL811HS (hex) Address
USB-A Host Control Register	00h
USB-A Host Base Address	01h
USB-A Host Base Length	02h
USB-A Host PID, Device Endpoint (Write)/USB Status (Read)	03h
USB-A Host Device Address (Write)/Transfer Count (Read)	04h
Control Register 1	05h
Interrupt Enable Register	06h
Reserved Register	Reserved
USB-B Host Control Register	08h
USB-B Host Base Address	09h
USB-B Host Base Length	0Ah
USB-B Host PID, Device Endpoint (Write)/USB Status (Read)	0Bh
USB-B Host Device Address (Write)/Transfer Count (Read)	0Ch
Status Register	0Dh
SOF Counter LOW (Write)/HW Revision Register (Read)	0Eh
SOF Counter HIGH and Control Register 2	0Fh
Memory Buffer	10H-FFh

表1CLM811HST-AXC主（主机）模式寄存器

CLM811HST-AXC中的寄存器分为两大组。第一组称为USB控制寄存器。这些寄存器使能并提供状态以控制USB传输事务和数据流。第二组寄存器为所有其他操作提供控制和状态。

在上电和复位时的寄存器值

以下寄存器在上电和复位时被初始化为零：

- USB-A/USB-B主机控制寄存器[00H,08H]的位0
- 控制寄存器1[05H]
- USB地址寄存器[07H]
- 当前数据组/硬件修改/SOF计数器低寄存器[0EH]  
所有其他寄存器的上电和复位都处于未知状态，并由固件进行初始化。

## 6. USB 控制寄存器

USB总线上的通信和数据流使用CLM811HST-AXC的USB-A-B控制寄存器。CLM811HST-AXC通过USB-A或USB-B寄存器组与任何具有USB功能的器件和任何特定的端点进行通信。

USB-A-B主控制寄存器以重叠配置方式来管理USB总线上的流量。USB主控制寄存器还提供了一种方法，当完成一个USB协议传输转换时，中断外部CPU或微控制器。表1和表2给出了两组USB主控制寄存器，“A”和“B”。这两寄存器组允许重叠操作。当设置一组的参数时，另一组可以正在传输。完成到端点的传输后，下一个操作由另一个寄存器组来控制。

注意USB-B寄存器组被使用仅当CLM811HST-AXC模式通过初始化寄存器0FH被使能时。

CLM811HST-AXCUSB的主控有两组五个寄存器，每个寄存器映射在

CLM811HST-AXC内存空间中。这些寄存器在下表中进行了定义。

Register Name SL811H	SL811HS (hex) Address
USB-A Host Control Register	00h
USB-A Host Base Address	01h
USB-A Host Base Length	02h
USB-A Host PID, Device Endpoint (Write)/USB Status (Read)	03h
USB-A Host Device Address (Write)/Transfer Count (Read)	04h
USB-B Host Control Register	08h
USB-B Host Base Address	09h
USB-B Host Base Length	0Ah
USB-B Host PID, Device Endpoint (Write)/USB Status (Read)	0Bh
USB-B Host Device Address (Write)/Transfer Count (Read)	0Ch

表2CLM811HST-AXC主控制寄存器

## USB-A/USB-B 主控制寄存器 [地址 = 00h, 08h]。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Preamble	Data Toggle Bit	SyncSOF	ISO	Reserved	Direction	Enable	Arm

表 3 USB-A/USB-B 主控制寄存器定义 [地址 00h, 08h]

位的位置	位名称	功能
7	Preamble	<p>如果 bit = '1', 则在传输低速数据包之前, 将传输一个前导符。如果 bit = '0', 则前导符被失能。</p> <ul style="list-style-type: none"> <li>当设置了 bit 7 时, CLM811HST-AXC 会自动产生前导数据包。该位仅用于通过集线器向低速器件发送数据包。要与全速器件通信, 此位需要设置为 "0"。例如, 当 CLM811HST-AXC 通过集线器与低速器件通信时: <ul style="list-style-type: none"> <li>设置 CLM811HST-AXC SIE 为全速运行, 即设置寄存器 05h 的位 5 (控制寄存器 1) = '0'。</li> <li>设置寄存器 0Fh (控制 2) 的位 6 = '0'。为全速运行, 需要正确设置 DATA+和 DATA-状态的极性。</li> <li>在主控制寄存器中设置位 7, 前导位 = '1'。</li> </ul> </li> <li>当 CLM811HST-AXC 直接与低速器件通信时: <ul style="list-style-type: none"> <li>设置寄存器 05h 的位 5 (控制 1) = '1'。</li> <li>设置寄存器 0Fh (控制 2) 的位 6 = '1', 为低速运行, 需要正确设置 DATA+和 DATA-的极性。</li> <li>在此模式下忽略位 7 的状态。</li> </ul> </li> </ul>
6	Data Toggle Bit	"0" (DATA0), "1" (DATA1) (仅用于在主机模式下的 OUT 标志)。
5	SyncSOF	'1' = 仅在 FS 中操作时, 与 SOF 传输同步。 在传输 SOF 数据包后 CLM811HST-AXC 使用位 5 来使能数据包的传输。当位 5 = '1' 时, 下一个使能的数据包将在紧跟的 SOF 之后发送。如果位 5 = '0', 则如果 SIE 空闲, 则立即发送下一个
4	ISO	当设置为 "1" 时, 该位允许数据包的等速模式。
3	Reserved	位 3 被保留供将来使用。
2	Direction	当等于 "1" 时传输 (OUT)。当等于 '0' 时接收 (IN)。
1	Enable	如果 Enable = '1', 则此位允许发生传输。如果 Enable = '0', 则忽略 USB 传输事务。 Enable
0	Arm	当 Arm = '1' 时允许使能传输。当传输完毕时 (当 Done 中断被断言时) 清 "0"。

一旦 CLM811HST-AXC 的其他控制寄存器 (寄存器 01h-04h 或 09h-0Ch) 被配置, 则主控制寄存器被编程用来启动 USB 传输。当 Enable 和 Arm 位按如上所述被设置时, 该寄存器将开始传输。

## Usb-A/usb-B 主机基址 [地址 = 01h, 09h]。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
HBADD7	HBADD6	HBADD5	HBADD4	HBADD3	HBADD2	HBADD1	HBADD0

表 4 Usb-A/usb-B 主机基址定义 [地址 01h, 09h]

USB-A/B 基址是一个指针, 其指向 CLM811HST-AXC 存储器缓冲器地址, 用于 USB 读和写。将数据传输出去 (主机到器件) 时, 在 USB-A 或 USB-B 主控制寄存器上的 ARM 置位之前, 可以设置 USB-A 和 USB-B 主基址寄存器。当使用双缓冲器方案时, 可以设置主基址, 第一个缓冲器用于 DATA0 数据, 另一个缓冲器用于 DATA1 数据。

USB-A/USB-B HostBaseLength [地址=02h,0Ah]。

表5 USB-A/USB-B HostBaseLength 定义 [地址02h,0Ah]

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
HBL7	HBL6	HBL5	HBL4	HBL3	HBL2	HBL1	HBL0

USB A/B 主基长寄存器 ( HostBase Length register ) 包含在 CLM811HST-AXC 和从 USB 外设之间传输的最大数据包大小。本质上, 这指定了 CLM811HST-AXC 传输的最大数据包大小。基长指定了发送或接收数据包的大小。例如, 在全速 BULK 模式下, 最大数据包长度为 64 字节。在 ISO 模式中, 由于 CLM811HST-AXC 仅有 8 位长度, 因此最大数据包长度为 1023 字节; 使用 CLM811HST-AXC ISO 模式的最大数据包大小为 255-16 字节 ( 寄存器空间 )。当主基长寄存器设置为零时, 将传输零长度数据包。

USB-A/USB-B 数据包状态 ( 读 ) 和主机 PID, 器件端点 ( 写 ) [地址=03h,0Bh]。该寄存器有两种模式, 取决于它是读还是写。读取时, 此寄存器提供数据包状态, 并包含与已接收或传输的最后一个数据包有关的信息。在 Done 中断发生后此寄存器才可以有效的读取, 这将导致寄存器的更新。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STALL	NAK	Overflow	Setup	Sequence	Time-out	Error	ACK

表6 USB-A/USB-B USB 数据包状态定义当 READ [地址03h,0Bh] 时

位的位置	位名称	功能
7	STALL	从器件返回一个 STALL。
6	NAK	从器件返回了一个 NAK。
5	Overflow	溢出条件-接收期间超过的最大长度。下溢见 USB-A/USB-B 主机传输计数寄存器 ( 读 )、USB 地址 ( 写 ) [地址 = 04h, 0Ch]。
4	Setup	此位不适用于主机操作, 因为 SETUP 包是由主机生成的。
3	Sequence	顺序位。'0' : DATA0, '1' : DATA1。
2	Time-out	超时。超时定义为无器件响应 ( 全速 ) 的 18 位时间。
1	Error	在传输中检测到的错误。这包括 CRC5、CRC16 和 PID 错误。
0	ACK	传输确认。

写入时, 此寄存器将 PID 和端点信息提供给 USB 串行接口引擎 ( SIE Engine ) 用于下一次传输事务。所有 16 个端点都可以被 CLM811HST-AXC 寻址。

表 7 USB-A/USB-B 主机 PID 和器件端点寄存器当 WRITTEN [地址 03h, 0Bh]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PID3	PID2	PID1	PID0	EP3	EP2	EP1	EP0

PID[3: 0] : 4 位 PID 字段 ( 请参见下表 ) , EP[3: 0] : 二进制 4 位端点值。

PID 类型	D7-D4
SETUP	1101 (D Hex)
IN	1001 (9 Hex)
OUT	0001 (1 Hex)
SOF	0101 (5 Hex)
PREAMBLE	1100 (C Hex)
NAK	1010 (A Hex)
STALL	1110 (E Hex)
DATA0	0011 (3 Hex)
DATA1	1011 (B Hex)

USB-A/USB-B 主机传输计数寄存器 ( 读 ) , USB 地址 ( 写 ) [地址 = 04h, 0Ch]。这个寄存器有两个不同的

功能，取决于它是读还是写。读取时，此寄存器包含数据包传输后剩余的字节数（来自基长值）。例如，如果基长寄存器设置为 0x040 且一个 IN 标识符被发送给外设，则如果传输完成后，主机传输计数的值为 0x10，则实际传输的字节数为 0x30。这被认为是一个下溢的标识。

表 8 USB-A/USB-B 主机传输计数寄存器当 READ[地址 04h, 0Ch]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HTC7	HTC6	HTC5	HTC4	HTC3	HTC2	HTC1	HTC0

当写时，此寄存器包含与主机通信的USB 器件的地址。表 9 USB-A/USB-B USB 地址当 WRITTEN[地址 04h, 0Ch]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	DA6	DA5	DA4	DA3	DA2	DA1	DA0

DA6-DA0 器件地址，最多可寻址 127 个器件。

DA7 保留位必须被设置为零。

#### CLM811HST-AXC 控制寄存器

下一组寄存器是控制寄存器，可控制芯片更多的操作，而不是USB 数据包类型的传输。表 10 是控制寄存器的总结。

Register Name SL811H	SL811HS (hex) Address
Control Register 1	05h
Interrupt Enable Register	06h
Reserved Register	07h
Status Register	0Dh
SOF Counter LOW (Write)/HW Revision Register (Read)	0Eh
SOF Counter HIGH and Control Register 2	0Fh
Memory Buffer	10h-FFh

表 10 控制寄存器

控制寄存器 1 [地址 = 05h]。控制寄存器 1 使用如下定义位使能/失能 USB 传输操作。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved	Suspend	USB Speed	J-K state force	USB Engine Reset	Reserved	Reserved	SOF ena/dis

表 11 控制寄存器 1 [地址 05h]

位的位置	位名称	功能
7	Reserved	'0'
6	Suspend	'1' = 使能, '0' = 失能。
5	USB Speed	"0" = 全速, "1" = 低速。
4	J-K state force	请参见表 12。
3	USB Engine Reset	USB Engine Reset = '1'。正常设置 "0"。 当检测到器件时,首先要做的是向它发送一个 USB 复位,强制其进入默认地址 0。USB 2.0 规范规定,对于一根集线器,器件复位必须至少 50ms。
2	Reserved	一些现有固件案例设置了 bit 2,但不是必需的。
1	Reserved	'0'
0	SOF ena/dis	'1' = 使能允许硬件自动生成 SOF; '0' = 禁用。 在 CLM811HST-AXC 中, bit 0 用于使能硬件自动生成 SOF。当为 "0" 时,将继续 SOF 生成,但是 SOF 标识符不会输出到 USB。

上电时,此寄存器被清零。

低功耗模式 [位 6 控制寄存器, 地址 05h] 当位 6 (挂起) 为 '1' 时,发射收发器的电源被关闭,内部 RAM 处于挂起模式,并且内部时钟被禁用。

注意 USB 总线上的任何活动(即 K-State 等)可以恢复其正常操作。为了从 CPU 端恢复正常操作,需要进行一个数据的写周期(即 A0 为高,进行数据写周期)。这是一种特殊情况,而不是正常的直接写入,也就是先写入地址,再写入数据。要从 CPU 端恢复正常操作,必须执行一个数据写入周期。

低速/全速模式 [位 5 控制寄存器 1, 地址 05h]

CLM811HST-AXC 被设计用于与全/低速器件进行通信。上电时位 5 为低,即全速。

USB Engine Reset	J-K Force State	Function
0	0	Normal operating mode
0	1	Force USB Reset, D+ and D- are set LOW (SE0)
1	0	Force J-State, D+ set HIGH, D- set LOW <sup>[8]</sup>
1	1	Force K-State, D- set HIGH, D+ set LOW <sup>[9]</sup>

表 12 总线强制状态

注释

8. 为低速强制 K-State。  
9. 为低速强制 J-State。

与低速器件通信有两种情况。当低速器件被直接连接到 CLM811HST-AXC 时,寄存器 05h 的位 5 设置为 "1",寄存器 0Fh 的位 6 (极性交换)被设置为 "1" 来改变 D+ 和 D- 的极性。当低速器件通过集线器连接到 CLM811HST-AXC 时,寄存器 05h 的位 5 设置为 "0",寄存器 0Fh 的位 6 设置为 "0",以在全速下保持 D+ 和 D- 的极性。此外,确保 USB-A/USB-B 主控制寄存器 [00h, 08h] 的位 7 设置为 "1" 以生成前导符。

J-k 编程状态 [控制寄存器 1 的位 4 和 3, 地址 05h]

J-k 强制态控制和 USB 引擎复位重置位被用于产生一个 USB 复位条件。强制 K-state 被用于外围器件远程唤醒、恢复和其他模式。上电时,这两个位被设置为 0。

## 7. USB 复位顺序

检测到一个器件后，将 08h 写入控制寄存器（05h）以启动 USB 复位，然后等待 USB 复位时间（根 hub 应为 50 ms）以及诸如强制 J-state 的某些类型的器件。最后，将控制寄存器（05h）设置回 0h。复位完成后，自动 SOF 生成将被使能。

### Sop 数据包生成

CLM811HST-AXC 通过硬件自动计算帧号和 CRC5。外部固件不需要为 CLM811HST-AXC 生成 CRC 或 SOF，尽管可以通过在主机 PID 和器件端点寄存器中发送 SOF PID 来完成。

假配置主机模式来使能 SOF 生成：

1. 在寄存器 0x0F 和 0x0E 中设置 SOF 间隔。
2. 通过设置位 0 = '1' 来使能此寄存器中的 SOF 硬件生成。
3. 在 USB-A 主控制寄存器中设置 Arm 位。

表 13 中断使能寄存器 [地址 06h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved	Device Detect/Resume	Inserted/Removed	SOF Timer	Reserved	Reserved	USB-B DONE	USB-A DONE

位的位置	位名称	功能
7	Reserved	'0'
6	Device Detect/Resume	启用器件检测/恢复中断。 当寄存器 05h（控制寄存器 1）的位 6 等于 '1' 时，此寄存器的位 6 使能恢复检测中断。否则，此位用于使能中断状态寄存器位定义中的器件检测状态。
5	Inserted/Removed	使能从机插入/移除探测，其被用于使能/失能器件插入/移除中断。
4	SOF Timer	1 = 使能中断为 SOF 定时器。这通常是以 1ms 的时间间隔进行的，尽管时序是由 SOF 计数器高/低寄存器来确定的。 要使用此位功能，必须启用寄存器 05h 的位 0，并且必须初始化 SOF 计数器寄存器 05。
3	Reserved	'0'
2	Reserved	'0'
1	USB-B DONE	USB-B Done 中断（参见 USB-A 完成中断）。
0	USB-A DONE	USB-A Done 中断。Done 中断由记录在 USB 数据包状态寄存器中的事件触发。Done 中断将导致数据包状态寄存器进行更新。

USB 地址寄存器，保留，地址 [地址 = 07h]。此寄存器是在从操作中保留器件 USB 地址的。在主模式下，它不应该由用户来写入。寄存器 08h-0Ch 主机 B 寄存器。寄存器 08h-0Ch 的定义与寄存器 00h-04h 相同，只是它们适用于主机-B 而不是主机-A。

中断启用寄存器 [地址 = 06h]。CLM811HST-AXC 提供中断请求输出，该输出针对许多条件被激活。中断启用寄存器允许用户选择导致通过 INTRQ 引脚向外部 CPU 发出中断的条件。单独的中断状态寄存器反映了中断的原因。启用或禁用这些中断对是否设置或清除中断状态寄存器中的相应位没有影响；它仅确定中断是否路由到 INTRQ 引脚。中断状态寄存器通常与中断使能寄存器结合使用，并且可以轮询以确定启动中断的条件（请参见中断状态寄存器的说明）。当一个位设置为“1”时，相应的中断被启用。因此，当启用的中断发生时，INTRQ 引脚将被断言。INTRQ 引脚是一个电平中断，这意味着在清除所有启用的中间中断之前，它不会被取消断言。

中断状态寄存器，地址[地址 = 0Dh]。中断状态寄存器是一个提供中断状态的读/写寄存器。通过写入此寄存器中断可以被清除。为了清除一个特定的中断，在写寄存器时需要把相应的位设置为“1”。

表 14 中断状态寄存器 [地址 0Dh]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
D+	Device Detect/Resume	Insert/Remove	SOF timer	Reserved	Reserved	USB-B	USB-A
位的位置	位名称	功能					
7	D+	Data+引脚的值。 位 7 提供连续的 USB Data+线的状态。一旦通过位 5 和 6 确定插入了一个器件（如下所述），则可用位 7 来检测插入的器件是低速（0）还是全速（1）。					
6	Device Detect/Resume	器件检测/恢复中断。 位 6 在器件检测状态和恢复检测中断之间共享。当寄存器 05h 的位 6 为 1 时，该位是恢复检测中断位。否则，该位用于指示器件的存在：'1' = 器件 'Not present' 和 '0' = 器件 'Present'。在这种模式下一起检查该位与位 5，来确定是否已插入或移除一个器					
5	Insert/Remove	器件插入/移除检测。 位 5 被用来支持在主模式下 CLM811HST-AXC 的 USB 电缆的插入/移除。当总线上发生从 SE0 到 IDLE（器件插入）或从 IDLE 到 SE0（器件移除）的转换时，请设置此位。					
4	SOF timer	'1' = 中断在 SOF 计时器上。					
3	Reserved	'0'					
2	Reserved	'0'					
1	USB-B	USB-B Done 中断。（请参阅中断使能寄存器 [地址 06h] 中的描述。）					
0	USB-A	USB-A Done 中断。（请参阅中断使能寄存器 [地址 06h] 中的描述。）					

Current 数据组/硬件修改/SOF 计数低 [地址 = 0Eh]。这个寄存器有两种模式。读寄存器可以读出当前 CLM811HST-AXC 的硅版本。表 15 硬件修改当 Read [地址 0Eh]时

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Hardware Revision				Reserved			
位的位置	位名称	功能					
7-4	Hardware Revision	CLM811HST-AXC rev1.2 Read = 1H; CLM811HST-AXC rev1.5Read = 2。					
3-2	Reserved	Read = 0。					
1-0	Reserved	为从机保留。					

写此寄存器将设置 SOF 自动生成到所有连接的外设。该计数器是基于 12 MHz 时钟的而不依赖于晶振频率。要设置 1ms 的计时器间隔，软件必须将两个 SOF 计数器寄存器设置为适当的值。

表 16 SOF 计数器低地址当 Written [地址 0Eh]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SOF7	SOF6	SOF5	SOF4	SOF3	SOF2	SOF1	SOF0

示例：要将 SOF 设置为 1 ms 间隔，则应将 SOF 计数器寄存器的 0Eh 设置为 E0h。

SOF 计数器高/控制寄存器 2 [地址 = 0Fh]。读取时，此寄存器返回 SOF 计数器除以 64 的值。在初始化任何 USB 传输之前，软件必须使用此寄存器来确定当前帧中的可用带宽。以这种方式，用户能够避免在 USB 上出现混乱不清的情况。例如，要确定一帧中剩余的可用带宽，可以执行以下操作。

在 1 ms 的时间帧内，最大时钟节拍数是 12000（每 12 MHz 时钟周期为 1 个计数，或大约 84 ns）。在寄存器 0Fh 中读回的值是（计数 × 64）× 84 ns = 当前帧中的剩余时间。USB 位时间 = 一个 12 MHz 周期。

寄存器 0Fh 的值	剩余的可用位时间是在
BBH	12000 bits to 11968 (187 × 64) bits
BAH	11968 bits to 11904 (186 × 64) bits

注意：对 0Fh 寄存器的任何写入都会清除内部帧计数器。上电后至少写入寄存器 0Fh 一次。内部帧计数器在每次 SOF 计时节拍后递增。内部帧计数器是一个 11 位计数器，用于跟踪帧数。帧数在每个计时器节拍之后递增。它的内容每隔 1 毫秒在 SOF 数据包中传输给从器件。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
C13	C12	C11	C10	C9	C8	C7	C6

表 17 SOF 高计数器当 Read [地址 0Fh]

写入此寄存器时，位被如下定义。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLM811HST-AXC 主/从选择	CLM811HST-AXCD+/D-数据极性交换	SOF 高计数器寄存器					
位的位置	位名称	功能					
7	CLM811HST-AXC 主/从选择	主 = 1，从 = 0。					
6	CLM811HST-AXC D+/D-数据极性交换	'1' = 改变极性（低速）。 '0' = 极性不变（全速）。					
5-0	SOF 高计数器寄存器	写入一个值或读回到 SOF 高计数器寄存器。					

表 18 写入时控制寄存器 2 [地址 0Fh]

注意对控制寄存器 0Fh 的任何写入都将使能 CLM811HST-AXC 全功能位。这是 CLM811HST-AXC 的内部位，可使能其他功能。

启用 CLM811HST-AXC 全功能位时，使用 USB-B 寄存器组。示例设置主机以产生 1 ms 的 SOF 时间：

寄存器 0Fh 包含 SOF 定时器的高 6 位。寄存器 0Eh 包含 SOF 定时器的低 8 位。计时器基于内部 12 MHz 时钟并使用了一个计数器。该计数器从初始值开始向下计数到零。为了将计时器设置为 1 ms 的时间，寄存器 0Eh 加载值 E0h，寄存器 0Fh（位 0-5）加载 2Eh。要启动计时器，寄存器

05h（控制寄存器 1）的位 0 需要设置为“1”，从而使能 SOF 硬件生成。为了使用适当的值加载高和低寄存器，用户必须遵循以下顺序：

1. 将 E0h 写入寄存器 0Eh。这设置 SOF 计数器的低字节
2. 于设置 SOF 计数器的高字节区域，写 AEh 到寄存器 0Fh，AEh 将器件配置为全速（极性不改变），主机的位 5-0 = 2Eh，对。
3. 在寄存器 05h 中使能位 0。这使能了 SOF 的硬件生成。
4. 在地址 00h 设置 ARM 位，开始 SOF 的生成。

寄存器名称	端点特定寄存器地址							
	EP 0 - A	EP 0 - B	EP 1 - A	EP 1 - B	EP 2 - A	EP 2 - B	EP 3 - A	EP 3 - B
EP 控制寄存器	00h	08h	10h	18h	20h	28h	30h	0x38
EP 基址寄存器	01h	09h	11h	19h	21h	29h	31h	0x39
EP 基长寄存器	02h	0Ah	12h	1Ah	22h	2Ah	0x32	0x3A
EP 数据包状态寄存器	03h	0Bh	13h	1Bh	23h	2Bh	0x33	0x3B
EP 传输计数寄存器	04h	0Ch	14h	1Ch	24h	2Ch	0x34	0x3C
寄存器名称	其它寄存器地址							
控制寄存器 1	05h	中断状态寄存器			0Dh			
中断使能寄存器	06h	当前数据组寄存器			0Eh			
USB 地址寄存器	07h	控制寄存器 2			0Fh			
SOF 低寄存器 (只读)	15h	保留			1Dh-1Fh			
SOF 高寄存器 (只读)	16h	保留			25h-27h			
保留	17h	保留			2Dh-2Fh			
DMA 总计数低寄存器	35h							
DMA 总计数高寄存器	36h							
保留	37h							
存储器缓冲器	40h-FFh							

表 19 CLM811HST-AXC 从模式寄存器

当在从模式时，CLM811HST-AXC 中的寄存器分为两大组。第一组包含管理 USB 控制事务和数据流的端点寄存器。第二组包含为所有其他操作提供控制和状态信息的 USB 寄存器。

#### 端点寄存器

USB 上通信和数据流是使用端点来实现的。这些唯一可识别的实体是 USB 主机和 USB 器件之间通信流的终端。每个 USB 器件是由独立运行的端点组来构成。每个端点都有一个唯一标识符，即端点号。更多信息，请参阅第 5.3.1 节 1.1 USB 规范。

CLM811HST-AXC 支持编号为 0-3 的四个端点。端点 0 是默认管道，用于初始化和操作器件来配置逻辑器件为默认控制管道。它还能对器件配置信息进行访问，允许 USB 状态和控制访问，并支持控制传输。

端点 1-3 支持批量、同步和中断传输。端点 3 由 DMA 支持。每个端点都有两组寄存器—“A”组和“B”组。这允许重叠操作，其中当一组参数正在设置时而另一组正在传输。完成到端点的传输后，“下一个数据组”位指示下一步是使用组“A”还是组“B”。下一个数据组的“armed”位指示 CLM811HST-AXC 是否已准备好进行下一次传输而不是中断。

#### 端点 0-3 个寄存器地址

每个端点组都有一组五个寄存器，这些寄存器映射在 CLM811HST-AXC

内存中。寄存器组的地址分配端点 0-3 个寄存器地址如下表所示。

端点寄存器组	地址 (hex)
端点 0-a	00 - 04
端点 0-b	08 - 0C
端点 1-a	10 - 14
端点 1-b	18 - 1C
端点 2-a	20 - 24
端点 2-b	28 - 2C
端点 3-a	30 - 34
端点 3-b	38 - 3C

表 20 端点 0-3 个寄存器地址

对于每个端点组（从地址索引 = 0 开始），寄存器的映射如下表所示。

端点寄存器组 (对于的端点 n，从寄存器位置 Index = 0 开始)	
Index	端点n 控制
Index + 1	端点n 基址
Index + 2	端点n 数据包状态
Index + 3	端点n 传输计时

表 21 端点寄存器索引

## 8. 端点控制寄存器

端点 n 控制寄存器 [地址  $a = (EP \# * 10h)$ ,  $b = (EP \# * 10h) + 8$ ]。每个端点组都有一个控制寄存器，定义如下：表 22 端点控制寄存器 [地址 EP0a/b : 00h/08h, EP1a/b : 10h/18h, EP2a/b : 20h/28h, EP3a/b : 30h/38h]

7	6	5	4	3	2	1	0
Reserved	Sequence	Send STALL	ISO	Next Data Set	Direction	Enable	Arm

位的位置	位名称	功能
7	Reserved	
6	Sequence	序位。'0' = DATA0, '1' = DATA1。
5	Send STALL	设置为“1”时，发送Stall以响应此端点上的下一个请求。
4	ISO	设置为“1”时，允许该端点的同步模式。
3	Next Data Set	为“0”如果下一个数据组是“A”，为“1”如果下一个数据组是“B”。
2	Direction	当Direction = '1'时，传输到主机（IN）。当Direction = '0'时，从主机接收（OUT）。
1	Enable	当Enable = '1'时，允许此端点的传输。当设置为“0”时，USB传输事务将被忽略。如果
0	Arm	当set = '1'时允许使能传输。传输完成后清“0”。

端点基址 [地址  $a = (EP \# * 10h) + 1$ ,  $b = (EP \# * 10h) + 9$ ]。指向存储器缓冲器位置的指针，用于USB读和写。表 23 端点基址寄存器 [地址 EP0a/b : 01h/09h, EP1a/b : 11h/19h, EP2a/b : 21h/29h, EP3a/b : 31h/39h]

7	6	5	4	3	2	1	0
EPxADD7	EPxADD6	EPxADD5	EPxADD4	EPxADD3	EPxADD2	EPxADD1	EPxADD0

端点基长 [地址  $a = (EP \# * 10h) + 2$ ,  $b = (EP \# * 10h) + A$ ]。端点基长是与主机进行IN/OUT传输的最大数据包的大小。本质上，这指定了CLM811HST-AXC通过OUT传输接收到的最大数据包大小，或指定了发送到主机通过IN传输的数据包大小。

7	6	5	4	3	2	1	0
EPxLEN7	EPxLEN6	EPxLEN5	EPxLEN4	EPxLEN3	EPxLEN2	EPxLEN1	EPxLEN0

表 24 端点基长 Reg [地址 EP0a/b : 02h/0Ah, EP1a/b : 12h/1Ah, EP2a/b : 22h/2Ah, EP3a/b : 32h/3Ah]

端点数据包状态寄存器 [地址  $a = (EP \# * 10h) + 3$ ,  $b = (EP \# * 10h) + Bh$ ]。数据包状态寄存器包含与接收或传输数据包有关的信息。寄存器的定义如下：

7	6	5	4	3	2	1	0
Reserved	Reserved	Overflow	Setup	Sequence	Time-out	Error	ACK

表 25 端点数据包状态 Reg [地址 EP0a/b : 03h/0Bh, EP1a/b : 13h/1Bh, EP2a/b : 23h/2Bh, EP3a/b : 44h/3Bh]

位的位置	位名称	功能
7	Reserved	无应用。
6	Reserved	无应用。
5	Overflow	溢出条件-接收期间超过最大长度。这被认为是一个严重的错误。端点可以接收的最大字节数由每个端点的端点基长寄存器来确定。溢出位仅在主机 OUT 标识符有效期间相关。
4	Setup	“1”表示建立数据包。如果设置了此位，则接收到的最后一个数据包是建立数据包。
3	Sequence	此位指示最后一个数据包是 DATA0 (0) 还是 DATA1 (1)。
2	Time-out	在从模式下该位不使用。
1	Error	在传输中的错误探测，包括CRC5/16 和 PID 错误。
0	ACK	传输确认。

端点转移计数 [地址  $a = (EP \# * 10h) + 4$ ,  $b = (EP \# * 10h) + Ch$ ]。作为外设，端点传输计数寄存器只有在 OUT 标识符（主机发送从数据）下才是重要的。当主机发送外围数据时，传输计数寄存器包含端点基长与接收的最后一个数据包中实际字节数之间的差。换句话说，如果端点基长寄存器被设置为 64 (40h) 字节，并且将 OUT 标识符被发送到仅有 16 (10h) 字节的端点，则端点传输计数寄存器的值为 48 (30h)。如果在一个 OUT 标识符有效期间发送的字节超过了端点基长寄存器的编程值，则溢出标志在端点数据包状态寄存器被设置，这被认为是一个严重的错误。

7	6	5	4	3	2	1	0
EPxCNT7	EPxCNT6	EPxCNT5	EPxCNT4	EPxCNT3	EPxCNT2	EPxCNT1	EPxCNT0

表 26 端点传输计数 Reg [地址 EP0a/b : 04h/0Ch, EP1a/b : 14h/1Ch, EP2a/b : 24h/2Ch, EP3a/b : 34h/3Ch]

## 9. USB 控制寄存器

USB 控制寄存器管理 USB 上通信和数据流。每个 USB 器件由独立运行的端点组来构成。每个端点都有一个唯一标识符，即端点号。有关 USB 端点的更多详细信息，请参阅 USB 规范 1.1，第 5.3.1 节。

控制和状态寄存器的映射如下：

寄存器名称	地址 (hex)
控制寄存器 1	05h
中断使能寄存器	06h
USB 地址寄存器	07h
中断状态寄存器	0Dh
当前数据组寄存器	0Eh
控制寄存器 2	0Fh
SOF 低字节寄存器	15h
SOF 高字节寄存器	16h
DMA 总计数低字节寄存器	35h
DMA 总计数高字节寄存器	36h

表 27 USB 控制寄存器

## 9.1.控制寄存器 1，地址 [05h]

控制寄存器使用控制位使能或失能 USB 传输和 DMA 操作。

7	6	5	4	3	2	1	0
Reserved	STBYD	SPSEL	J-K1	J-K0	DMA Dir	DMA Enable	USB Enable

表 28 控制寄存器 1 [地址 05h]

位的位置	位名称	功能
7	Reserved	保留位-必须设置为“0”。
6	STBYD	XCVR 电源控制。'1' 将 XCVR 设置为低功耗。对于正常操作，设此位为“0”。如果位 6 = '1'
5	SPSEL	速度选择。“0”选择全速。“1”选择低速（另请参见表 33 在第 20 页）。
4	J-K Force State	J-K1 和 J-K0 强制状态控制位，被用于生成各种 USB 总线条件。强制 K-state 用于外设远程唤醒，恢复和其他模式。这两个位在上电时被设置为零，此功能请参见表 12 第 11 页。
3	USB Engine Reset	
2	DMA Dir	DMA 传输方向。设置“1” = CLM811HST-AXC 的 DMA 读取周期。设置“0” = DMA 写入周期。
1	DMA Enable	等于“1”时使能 DMA 操作。失能 = “0”。当 DMA 计数高被写入时 DMA 初始化。
0	USB Enable	传输总使能。'1' 使能，'0' 失能。设置为“1”以使能 USB 通信。上电时的默认值 = '0'

JK-Force 态	USB 引擎复位	功能
0	0	正常工作模式
0	1	强制 SE0、D+和 D-为低
1	0	强制K-State, D-为高, D+为低
1	1	强制K-State, D+为高, D-为低

中断使能寄存器，地址 [06h]。CLM811HST-AXC 提供了一个中断请求输出，它被激活的条件有很多。中断使能寄存器允许用户选择生成中断请求输出断言的事件。读取一个单独的中断状态寄存器，以确定开始中断的条

件（请参见中断状态寄存器，地址[0Dh]节的描述）。当一个位被设置为'1'时，相应的中断被使能。在中断使能寄存器中设置位不会影响中断状态寄存器的值；它只是确定INTRQ 上输出哪些中断。

7	6	5	4	3	2	1	0
DMA Status	USB Reset	SOF Received	DMA Done	Endpoint 3 Done	Endpoint 2 Done	Endpoint 1 Done	Endpoint 0 Done

位的位置	位名称	功能
7	DMA Status	当等于“1”时，表示 DMA 传输正在进行中。当等于“0”时，表示 DMA 传输已完成。
6	USB Reset	当 = '1' 时使能 USB 复位接收中断。
5	SOF Received	当 = '1' 时使能 SOF 接收中断。
4	DMA Done	当 = '1' 时使能 DMA 完成中断。
3	Endpoint 3 Done	当 = '1' 时使能端点 3 完成中断。
2	Endpoint 2 Done	当 = '1' 时使能端点 2 完成中断。
1	Endpoint 1 Done	当 = '1' 时使能端点 1 完成中断。
0	Endpoint 0 Done	当 = '1' 时使能端点 0 完成中断。

表 29 中断使能寄存器 [地址：06h]

## 9.2.USB 地址寄存器，地址 [07h]

此寄存器包含配置期间由 USB 主机分配后的 USB 器件地址。上电或复位时，USB 地址寄存器被设置为地址 00h。在 USB 配置和地址分配之后，器件仅响应指向 USB 地址寄存器中包含的地址的 USB 事务。

表 30 USB 地址寄存器 [地址 07h]

7	6	5	4	3	2	1	0
USBADD7	USBADD						

中断状态寄存器，地址 [0Dh]

此读/写寄存器在读时充当中断状态寄存器，在写时充当中断清除寄存器。要清除中断，请设置适当位为“1”来写寄存器。写一个“0”对其状态没有影响。

表 31 中断状态寄存器 [地址 0Dh]

7	6	5	4	3	2	1	0
DMA Status	USB Reset	SOF Received	DMA Done	Endpoint 3 Done	Endpoint 2 Done	Endpoint 1 Done	Endpoint 0 Done

位的位置	位名称	功能
7	DMA Status	当等于“1”时，表示 DMA 传输正在进行中。当等于 0 时，表示 DMA 传输已经完成。
6	USB Reset	USB 复位接收中断。
5	SOF Received	SOF 接受中断。
4	DMA Done	DMA 完成中断。
3	Endpoint 3 Done	端点 3 完成中断。
2	Endpoint 2 Done	端点 2 完成中断。
1	Endpoint 1 Done	端点 1 完成中断。
0	Endpoint 0 Done	端点 0 完成中断。

当前数据组寄存器，地址 [0Eh]。此寄存器指示每个端点当前选定的数据组。

表 32 当前数据组寄存器 [地址 0Eh]

7	6	5	4	3	2	1	0
Reserved				Endpoint 3	Endpoint 2	Endpoint 1	Endpoint 0

位的位置	位名称	功能
7-4	Reserved	不使用。
3	Endpoint 3 Done	端点 3a = 0，端点 3b = 1。
2	Endpoint 2 Done	端点 2a = 0，端点 2b = 1。
1	Endpoint 1 Done	端点 1a = 0，端点 1b = 1。
0	Endpoint 0 Done	端点 0a = 0，端点 0b = 1。

### 9.3.控制寄存器 2，地址 [0Fh]

控制寄存器 2 用于控制器件是否配置为主机或从机。它可以更改 Data+和 Data-引脚的极性以适应全速和低速操作。

表 33 控制寄存器 2 [地址 0Fh]

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
CLM811 HST-AXC Master/Slave selectio	CLM811 HST-AXC D+/D- Data Polarity	Reserved					

位位置	位名称	功能
7	CLM811HST-AXC Master/Slave selection	主 = '1' 从 = '0'
6	CLM811HST-AXC D+/D- Data Polarity Swap	'1' = 改变极性 (低速) '0' = 极性不变 (全速)
5-0	Reserved	NA

SOF 低寄存器，地址 [15h]。只读寄存器包含帧号的 7 个低位：位 7: 1。位 0 是未定义的。当接收到 SOP 数据包时，寄存器将被更新。不要写入此寄存器。

SOF 高寄存器，地址 [16h]。只读寄存器包含帧号的 4 个低位：位 7: 4。位 3: 0 是未定义的，当用户读取时应该被屏蔽。接收到SOF数据包时，此寄存器将被更新。用户不应写入此寄存器。DMA 总计数低寄存器，地址 [35h]。DMA 总计数低寄存器包含DMA计数的低 8 位。DMA 总计数是在一个外设和CLM811HST-AXC 之

间进行转移的总字节数。计数或许有时要求达到 16 位，因此计数在两个寄存器中被呈现：Total Count Low (总计数低)和Total Count High (总计数高)。EP3 仅支持 DMA 操作。

DMA 总计数高寄存器，地址 [36h]。DMA 总计数高寄存器包含DMA计数的高 8 位。写入时，如果在控制寄存器 1 中设置了DMA使能位，则该寄存器使能 DMA。即使高计数为 00h，用户也应始终优先写低计数寄存器，然后再写高计数寄存器。

## 10.物理连接

这些型号以 48 引脚TQFP 封装提供。48 引脚TQFP 的封装是CLM811HST-AXC。

48 引脚 TQFP 物理连接

48 引脚 TQFP AXC 引脚布局

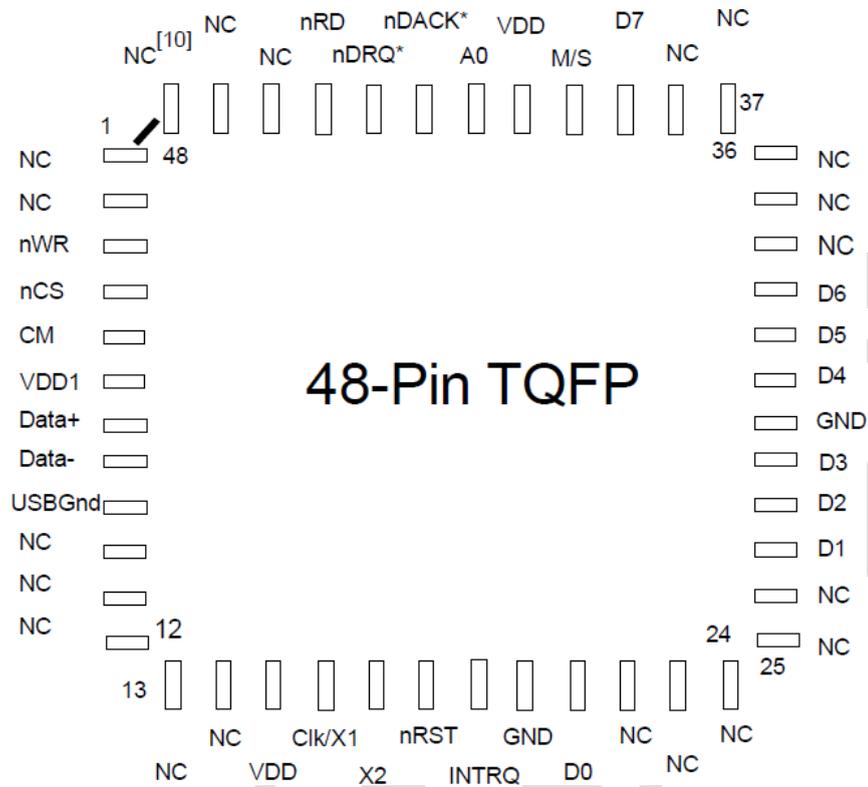


图 4 48 引脚 TQFP AXC USB 主/从控制器引脚布局

\*有关主机模式下引脚 43 和 44 的引脚和信号说明。

下图给出了一个简单的 + 3.3 V 电压源。

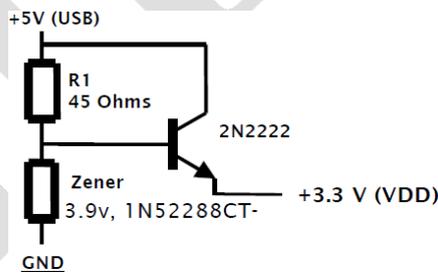


图 5 采样 VDD 发生器

注：NC.表示没有连接。NC 引脚必须保持在未被连接状态。

## 11.USB 主控制器引脚描述

该CLM811HST-AXC 封装在 48 引脚TQFP 中。这些器件需要 3.3 VDC 电源，以及一个外部 12 或 48 MHz 的晶振或时钟源。

48 引脚 TQFP AXC 引脚号	引脚类型	引脚名称	引脚描述
1	NC	NC	无连接。
2	NC	NC	无连接。
3	IN	nWR	写选通输入。低有效输入，与 nCS 一起用于写寄存器/数据存储。
4	IN	nCS	低有效 48-Pin TQFP 片选。当访问 48 引脚 TQFP 时，与 nRD 和 nWr 一起使用。
5	IN	CM	时钟倍增。选择 12 MHz/48 MHz 时钟源。
6	VDD1	+3.3 VDC	USB 收发器的电源。V <sub>DD1</sub> 或许被连接到 V <sub>DD</sub> 。
7	BIDIR	DATA+	USB 差分数据信号高。
8	BIDIR	DATA-	USB 差分数据信号低。
9	GND	USB GND	USB 地连接。
10	NC	NC	无连接。
11	NC	NC	无连接。
12	NC	NC	无连接。
13	NC	NC	无连接。
14	NC	NC	无连接。
15	VDD	+ 3.3 VDC	器件的V <sub>DD</sub> 电源。
16	IN	CLK/X1	时钟或外部晶体 X1 连接。X1/X2 时钟需要外部 12 或 48 MHz 匹配的晶振或时钟源。
17	OUT	X2	外部晶振 X2 连接。
18	IN	nRST	低有效，复位器件输入。
19	OUT	INTRQ	激活高中断请求输出到外部控制器。
20	GND	GND	器件地。
21	BIDIR	D0	数据 0。微处理器数据/地址总线。
22	NC	NC	无连接。
23	NC	NC	无连接。
24	NC	NC	无连接。
25	NC	NC	无连接。
26	NC	NC	无连接。
27	BIDIR	D1	数据 1。微处理器数据/地址总线。
28	BIDIR	D2	数据 2。微处理器数据/地址总线。
29	BIDIR	D3	数据 3。微处理器数据/地址总线。
30	GND	GND	器件地。
31	BIDIR	D4	数据 4。微处理器数据/地址总线。
32	BIDIR	D5	数据 5。微处理器数据/地址总线。

表 34 引脚和引脚信号说明

### 注释

- 对于 12 MHz 时钟源，CM 时钟倍增器引脚必须被连接到高电平，对于 MHz 时钟源，则必须被接地。
- VDD 可以来自于 USB。

48 引脚 TQFP AXC 引脚号	引脚类型	引脚名称	引脚描述
44	BIDIR	D6	数据 6。微处理器数据/地址总线。
34	NC	NC	无连接。
35	NC	NC	无连接。
36	NC	NC	无连接。
37	NC	NC	无连接。
38	NC	NC	无连接。
39	BIDIR	D7	数据 7。微处理器数据/地址总线。
40	IN	M/S	主/从模式选择。 "1" = 从。 '0' = 主。
41	VDD	+3.3	器件V <sub>DD</sub> 电源。
42 [14]	IN	A0	A0 = '0'。选择地址指针。寄存器 A0 = '1'。选择数据缓冲器或寄存器。
43	IN	nDACK	DMA 确认。低有效输入，用于与外部 DMA 控制器连接。DMA 仅在从模式下被使能。在主模式下，引脚应被设置为高（逻辑 '1'）。
44	IN	nDRQ	DMA 请求。低有效输出，与外部 DMA 控制器一起使用。nDRQ 和 nDACK
45	IN	nRD	读选通输入。低有效输入，与 nCS 一起用于读寄存器/数据存储。
46	NC	NC	无连接。
47	NC	NC	无连接。
48	NC	NC	无连接。

表 34 引脚和引脚信号说明



图 6 封装标识 ( 48 引脚 TQFP )

## 12. 绝对最大极限值

本节列出了CLM811HST-AXC 的绝对最大极限值。超过最大极限值可能会缩短器件的使用寿命。用户指南未经过测试。

描述	条件
储存温度	-40 °C 至 125 °C
任一引脚上相对于地的电压	-0.3 V 至 6.0 V
电源电压 (V <sub>DD</sub> )	4.0 V
电源电压 (V <sub>DD1</sub> )	4.0 V
引线温度 (10 秒)	180 °C

### 12.1. 推荐工作条件

参数	最小	典型	最大
电源电压, VDD	3.0V	3.3V	3.45V
电源电压, VDD1	3.0V		3.45V
工作温度	0 °C		65 °C

晶体要求 (X1, X2)	最小	典型	最大
工作温度范围	0 °C		65 °C
并联谐振频率		48	
频率随温度的漂移			± 50 ppm
调整精度			± 30 ppm
串联电阻			100Ω
谐波电容	3 pF		6 pF
负载电容		20 pF	
驱动电平	20		5mW
第三谐波振动模式 <sup>[15]</sup>			

### 12.2. 外部时钟输入特性 (X1)

参数	最小	典型	最大
X1 的时钟输入电压 (X2 开路)	1.5V		
时钟频率 <sup>[16]</sup>		48 MHz	

注释

15. 12 MHz 晶振的基本模式。

16. CLM811HST-AXC 可以使用 12 MHz 的时钟源。

## 13. 直流特性

参数	描述	最小	典型	最大
$V_{IL}$	输入电压低	-0.3V		0.8V
$V_{IH}$	输入电压高 (5 V 耐压 I/O)	2.0V		6.0V
$V_{OL}$	输出电压低 ( $I_{OL} = 4 \text{ mA}$ )			0.4V
$V_{OH}$	输出电压高 ( $I_{OH} = -4 \text{ mA}$ )	2.4V		
$I_{OH}$	输出电流高	4mA		
$I_{OL}$	输出电流低	4mA		
$I_{LL}$	输入泄漏			$\pm 1\mu\text{A}$
$C_{IN}$	输入电容			10 pF
$I_{CC}^{[17]}$	电源电流 ( $V_{DD}$ )，递增且 USB 全速		21mA	25mA
$I_{CCsus1}^{[18]}$	电源电流 ( $V_{DD}$ )，暂停，w/Clk & PLL 使能		4.2mA	5mA
$I_{CCsus2}^{[19]}$	电源电流 ( $V_{DD}$ )，暂停，no Clk & PLL 失能		50 $\mu\text{A}$	60 $\mu\text{A}$
$I_{USB}$	电源电流 ( $V_{DD1}$ )			10mA
$I_{USBSUS}$	收发器电源电流，挂起			10 $\mu\text{A}$

### 13.1. USB 主收发器特性

参数	描述	最小	典型 <sup>[20]</sup>	最大
$V_{IHYS}$	差分输入灵敏度 (Data+ , Data- )	0.2V		200mV
$V_{USBIH}$	USB 输入电压高驱动	2.0V		
$V_{USBIL}$	USB 输入电压低	0.8V		
$V_{USBOH}$	USB 输出电压高	2.0V		
$V_{USBOL}$	USB 输出电压低	0.0V		0.3V
$Z_{USBH}^{[21]}$	输出阻抗高状态	36 $\Omega$		42 $\Omega$
$Z_{USBL}^{[21]}$	输出阻抗低状态	36 $\Omega$		42 $\Omega$
$I_{USB}$	收发器电源 p-p 电流 (3.3 V)			10mA, FS

每个  $V_{DD}$  引脚 (包括 USB  $V_{DD}$ ) 都必须有一个去耦电容，以确保在芯片输入点 (引脚) 本身上获得干净的  $V_{DD}$ ，即无杂波 (无高频噪声)。

最好的方法是在引脚自身和地之间连接一个陶瓷电容器 (0.1 $\mu\text{F}$ , 6V)。保持电容器引线尽可能的短。尽可能使用具有最短迹线的表面贴装电容器 (强烈建议使用接地面)。

#### 注释

17.  $I_{CC}$  测量包括了全速运行的 USB 收发器电流 ( $I_{USB}$ )。

18.  $I_{CCsus1}$  是在 12 MHz 时钟输入和内部 PLL 使能的情况下测量的。暂停设置- (USB 收发器和内部时钟失能)。

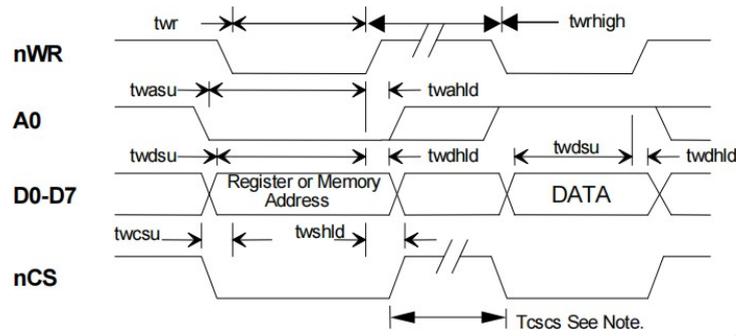
19.  $I_{CCsus2}$  是在外部时钟、PLL 失能和挂起设置的情况下测量的。对于绝对最小电流的消耗，请确保器件的所有输入均处于静态逻辑级。

20. 所有典型值均在  $V_{DD} = 3.3\text{V}$  和  $T_{AMB} = 25^\circ\text{C}$  下测量的。

21.  $Z_{USB}$  阻抗值包括一个  $24\Omega \pm 1\%$  的外部电阻 (CLM811HST-AXC 修订版 1.2 要求  $33\Omega \pm 1\%$  的外部电阻)。

## 14. 总线接口时序要求

### I/O 写入周期

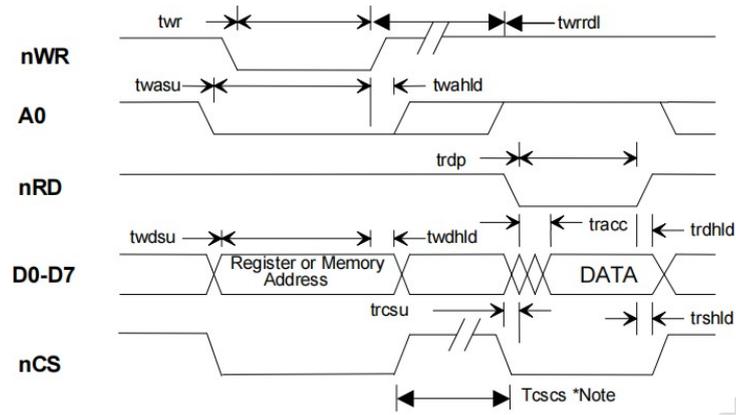


I/O 写周期到寄存器或存储器缓冲器

参数	描述	最小	典型	最大
$t_{WR}$	写脉冲宽度	85ns		
$t_{WCSU}$	片选建立到 nWR 低	0ns		
$t_{WSHLD}$	片选保持时间在 nWR 高后	0ns		
$t_{WASU}$	A0 地址建立时间	85ns		
$t_{WAHLD}$	A0 地址保持时间	10ns		
$t_{WDSU}$	数据到写高的建立时间	85ns		
$t_{WDHLD}$	数据在写高之后的保持时间	5ns		
$t_{CSCS}$	nCS 失能到 nCS* 断言	85ns		
$t_{WRHIGH}$	NWR 高	85ns		

注意只要 nWR 循环，nCS 就可以在多个写周期内保持低。自动递增模式写入的写周期时间最小为 170 ns。

## I/O 读周期

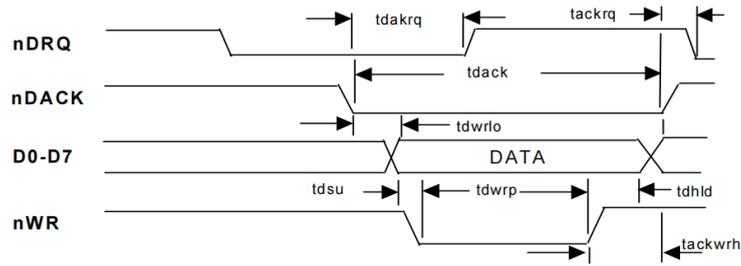


I/O 读周期从寄存器或存储器缓冲器

参数	描述	最小	典型	最
$t_{WR}$	写脉冲宽度	85ns		
$t_{RD}$	读脉冲宽度	85ns		
$t_{WCSU}$	片选到 nWR 的建立时间	0 ns		
$t_{WASU}$	A0 地址建立时间	85ns		
$t_{WAHLD}$	A0 地址保持时间	10ns		
$t_{WDSU}$	数据到写高的建立时间	85ns		
$t_{WDHLD}$	写高后的数据保持时间	5ns		
$t_{RACC}$	读低后的数据有效时间	25ns		85ns
$t_{RDHLD}$	读高后的数据保持时间	40ns		
$t_{RCSU}$	片选低至读低	0 ns		
$t_{RSHLD}$	读高后 NCS 保持时间	0 ns		
$T_{CSCS}^*$	nCS 失能到 nCS* 断言	85ns		
$t_{WRRDL}$	nWR 高到 nRD 低	85ns		

注意只要 nRD 循环，nCS 就可以在多个读周期内保持低。自动递增模式读取的读循环周期时间最小为 170 ns。

## DMA 写周期

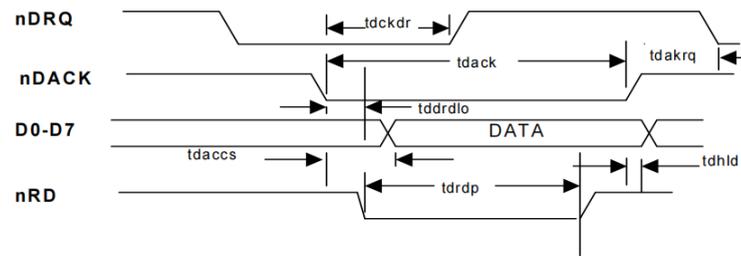


DMA 写周期

参数	描述	最小	典型	最大
tdack	nDACK 低	80ns		
tdwrlo	nDACK 至 nWR 低延迟	5ns		
tdakrq	nDACK 低至nDRQ 高延迟	5ns		
tdwrp	nWR 脉冲宽度	65ns		
tdhld	nWR 高后数据保持	5ns		
tdsu	数据建立到 nWR strobe 低	60ns		
tackrq	NDACK 高到nDRQ 低	5ns		
tackwrh	NDACK 高到nDRQ 低	5ns		
twrcycle	DMA 写周期时间	150ns		

注意 nWR 必须在 nDACK 变低之后再变低以便清除 nDRQ。如果此顺序未按要求没有被执行，则下一个 nDRQ 就不会被插入。

## DMA 读周期

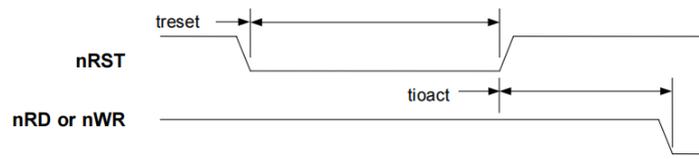


CLM811 DMA 读周期时序

参数	描述	最小	典	最
tdack	nDACK 低	100ns		
tddrdlo	nDACK 至 nRD 低延迟	0ns		
tdckdr	nDACK 低至nDRQ 高延迟	5ns		
tdrdp	nRD 脉冲宽度	90ns		
tdhld	nDACK 高后数据保持时间	5ns		
tddaccs	nDACK 低后数据访问时间	85ns		
tdrdack	nRD 高到 nDACK 高	0ns		
tdakrq	nDACK 高后nDRQ 低	5ns		
trdcycle	DMA 读取周期时间	150ns		

注意 无论 nREAD 的状态如何，数据都被保留到nDACK 变成高电平为止。

## 重置复位时序

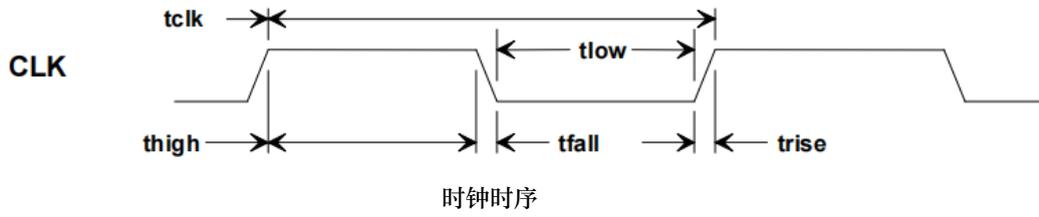


重置复位时序

参数	描述	最小	典型	最
$t_{REST}$	nRst 脉冲宽度	16 个时钟		
$t_{IOACT}$	nRst 高到 nRD 或 nWR 有效	16 个时钟		

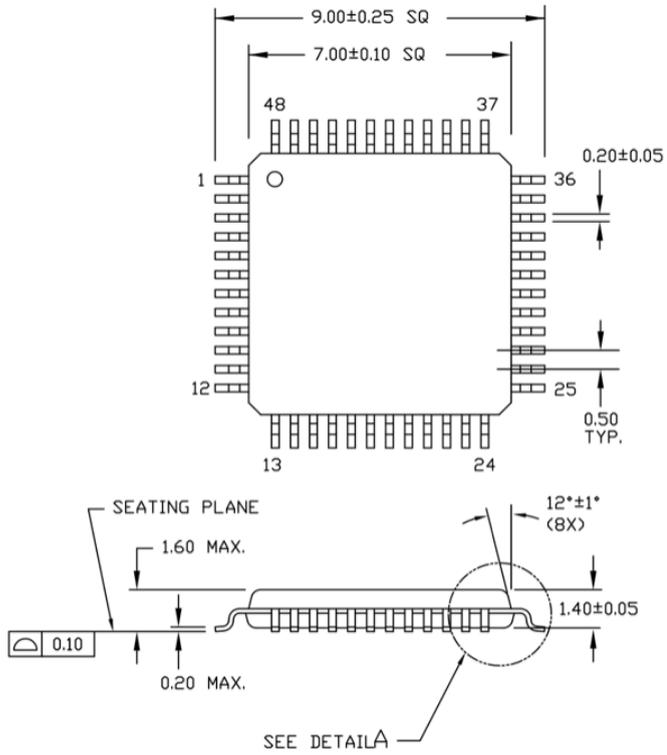
注意 时钟正常为 48 MHz。

## 时钟时序规范

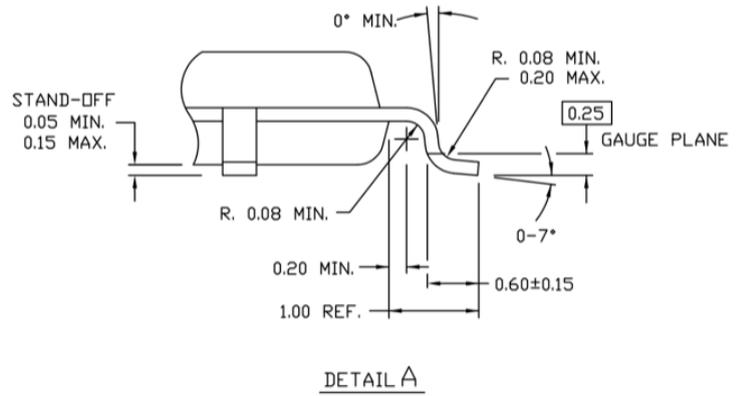


参数	描述	最小	典型	最大
$t_{CLK}$	时钟周期 ( 48MHz )	20.0 ns	20.8ns	
$t_{HIGH}$	时钟高时间	9ns		11ns
$t_{LOW}$	时钟低时间	9ns		11ns
$t_{RISE}$	时钟上升时间			5.0ns
$t_{FALL}$	时钟下降时间			5.0ns
	时钟占空比	45%		55%

## 14. 封装框图



DIMENSIONS ARE IN MILLIMETERS



封装外形TQFP-48(7X7X1.4mm)

## 15.联系方式

### 启珑微电子（北京）有限公司

北京市海淀区稻香湖路绿地云谷科技中心7号楼4层

邮政编码：100095  
联系电话：+86-10-82466062 62106606  
邮箱：[sales@chiplon.com](mailto:sales@chiplon.com)  
技术支持：[support@chiplon.com](mailto:support@chiplon.com)  
网址：[www.chiplon.com](http://www.chiplon.com)

**Copyright. Chiplon Microelectronics Co., Ltd. All rights are reserved.**

The information furnished by Chiplon is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of Chiplon and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of Chiplon. Chiplon products are not authorized for use as critical components in life support devices or systems without express written approval of Chiplon. The Chiplon logo is a registered trademark of Chiplon Microelectronics Co., Ltd. All other names are the property of their respective owners.

