

CLM2543

具有串行控制和11路模拟输入的12位模数转换器

概述

CLM2543是12位开关电容、逐次逼近型模数转换器，它有三个控制输入端，采用简单的3线SPI串行接口可方便地与微机进行连接，允许来自上位机的数据进行高速传输，除了高速转换器和通用控制功能外，还具有片上14通道多路复用器，可以选择11个输入中的任何一个、或三个内部自测电压中的任何一个，采样保持功能是自动的，转换结束时，转换结束（EOC）输出电压变高，表示转换完成。集成在该器件中的转换器具有差分高阻抗参考输入，有助于比例转换、缩放以及将模拟电路与逻辑电路和电源噪声隔离，开关电容器设计允许在整个工作温度范围内进行低误差转换。

特征

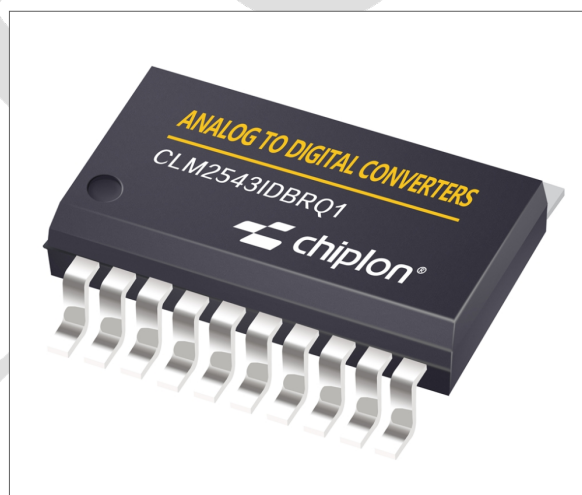
- 12位分辨率A/D转换器
- 在工作温度范围内的转换时间为10 μ s
- 11个模拟输入通道
- 3种内置自检模式
- 内建采样保持功能
- 线性误差最大 ± 1 LSB
- 片上系统时钟
- 转换结束输出
- 单极性或双极性输出操作
- 优先可编程MSB或LSB

- 可编程掉电
- 可编程输出数据长度

应用

- 智能电网、新能源发电、电力系统、电气化铁轨、城市轨道交通、电动车充电站、智慧楼宇

产品外形

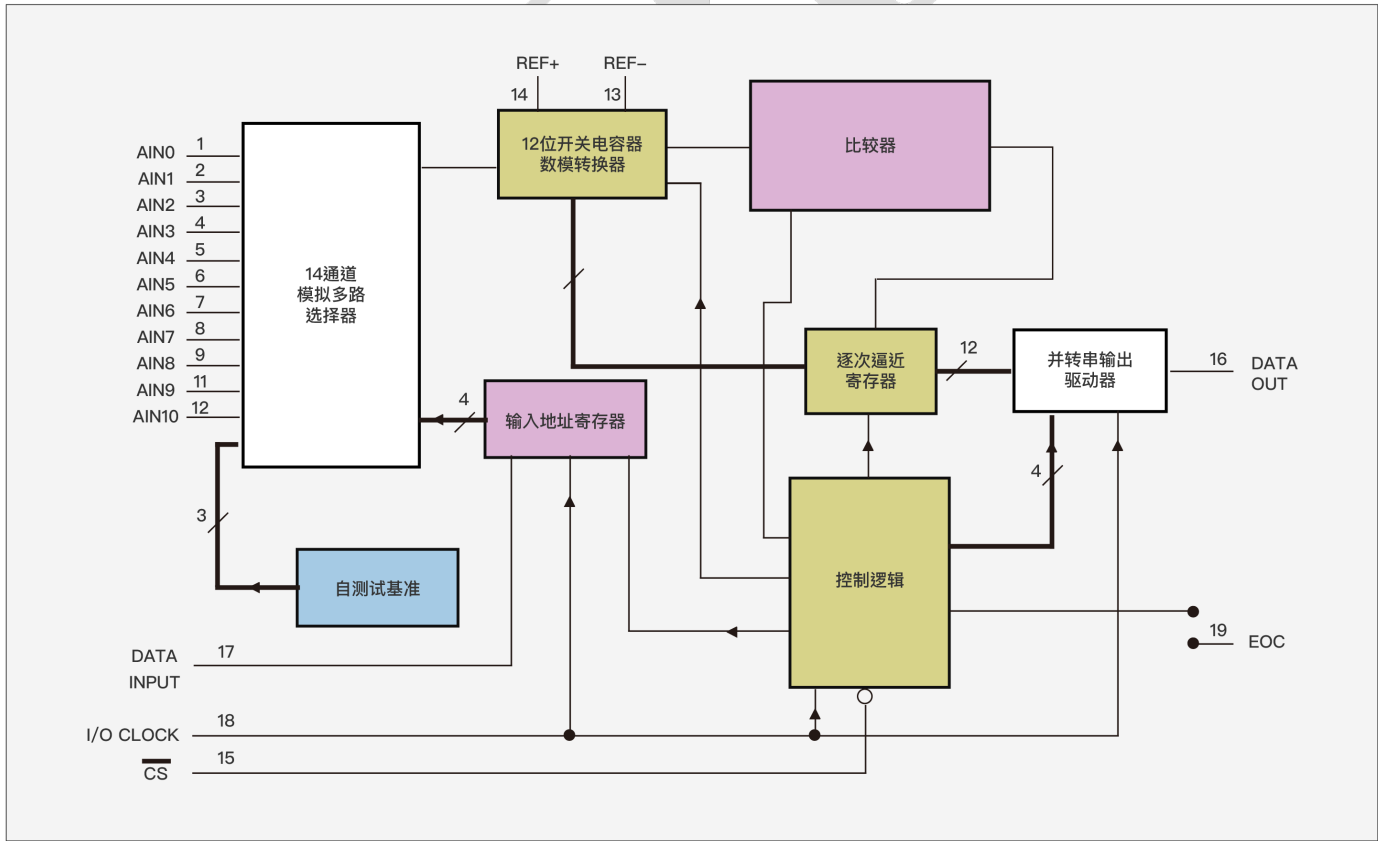


谨慎! 建议在操作和组装本部件时采取正常的防静电措施，以防止静电损坏和/或退化。本数据表中的组件不能用于军事或航空航天应用或环境。

订购信息

产品型号	特性描述	封装	包装	温度 范围 (°C)	包装数量
CLM2543CDW	具有串行控制和11路模拟输入的12位模数转换器	SOIC-20	Tube	−0°C to +70°C	1000PCS
CLM2543IDW	具有串行控制和11路模拟输入的12位模数转换器	SOIC-20	Tube	−40°C to +85°C	1000PCS
CLM2543CDB	具有串行控制和11路模拟输入的12位模数转换器	SSOP-20	Tube	−0°C to +70°C	1000PCS
CLM2543IDB	具有串行控制和11路模拟输入的12位模数转换器	SSOP-20	Tube	−40°C to +85°C	1000PCS
CLM2543CN	具有串行控制和11路模拟输入的12位模数转换器	DIP-20	Tube	−0°C to +70°C	1000PCS
CLM2543IN	具有串行控制和11路模拟输入的12位模数转换器	DIP-20	Tube	−40°C to +85°C	1000PCS
CLM2543QDWREP	具有串行控制和11路模拟输入的12位模数转换器	SOIC-20	Tube	−40°C to +125°C	1000PCS
CLM2543IDBRQ1	具有串行控制和11路模拟输入的12位模数转换器	SSOP-20	Tube	−40°C to +85°C	1000PCS

功能块



CLM2543框图

目录

概述.....	1
特征.....	1
应用.....	1
产品外形	1
订购信息	2
功能块	2
目录.....	3
术语.....	5
1. 端口功能.....	7
2. 绝对最大额定值（在自由空气工作温度范围内的，除非另有说明）†	8
3. 推荐工作条件.....	8
3.1.在推荐的自由空气工作温度范围内的电气特性， $V_{CC} = V_{ref+} = 4.5V$ 至 $5.5V$ ， $f(I/O\ CLOCK) = 4.1MHz$ （除非另有说明）	9
3.2.在推荐的自由空气工作温度范围内的电气特性， $V_{CC} = V_{ref+} = 4.5V$ 至 $5.5V$ ， $f(I/O\ CLOCK) = 4.1MHz$ （除非另有说明）	9
3.3.在推荐的自由空气工作温度范围内的电气特性， $V_{CC} = V_{ref+} = 4.5V$ 至 $5.5V$ ， $f(I/O\ CLOCK) = 4.1MHz$ （除非另有说明）	10
4. 参数测量信息	11
5. 参数测量信息	12
6. 参数测量信息	13
7. 参数测量信息	14
8. 参数测量信息	15
9. 操作原则.....	16
9.1.转换器操作.....	16
9.2.I/O周期.....	16
9.3.转换周期.....	16
10.操作原则.....	17
10.1.上电和初始化.....	17
11.操作原则.....	18
11.1.数据输入	18
11.2.数据输入地址位.....	18
12.操作原则.....	19
12.1.数据输出长度	19
12.2.采样周期	19
13.操作原则.....	20
13.1.数据寄存器，LSB优先.....	20
13.2.数据寄存器，双极性模式	20
13.3.EOC输出	20

13.4.数据格式和填充位	20
14.操作原则	21
14.1.数据格式和填充位（续）	21
14.2.片选输入（）	21
14.3.掉电功能	21
15.操作原则	22
15.1.模拟输入，测试和掉电模式	22
16.操作原则	23
16.1.转换器和模拟输入	23
16.2.参考电压输入	23
17.应用信息	24
18.封装概述	25
19.封装概述	26
20.封装概述	27
21.J（R-GDIP-T**）	28
22.N（R-PDIP-T**）	29
23.封装概述	30
24.示例板布局	31
25.示例板布局	32
26.联系方式	33

术语

ADR	Address 地址
AL	Application Layer 应用层
BD	Bidirectional 双向
BGA	Ball Grid Array 球阵列封装
BHE	Bus High Enable 总线高电平使能
CMD	Command 命令
CS	Chip Select 片选
DC	Distributed Clock 集成分布时钟
DL	Data Link Layer 数据链接层
EMC	Electromagnetic Compatibility 电磁兼容性
EMI	Electromagnetic Interference 电磁干扰
EOF	End of Frame 帧结尾
EEPROM	Electrically Erasable Programmable read only memory 带电可擦可编程只读存储器
FMMU	Fieldbus Memory Management Unit 现场总线内存管理单元
GPI	General Purpose Input 通用数字量输入引脚
GPO	General Purpose Output 通用数字量输出引脚
I	Input 输入
I/O	Input or Output 输入或者输出
I2C	Inter-Integrated Circuit 集成电路总线
IRQ	Interrupt Request 中断请求
LDO	Low Drop-Out regulator 低压差线性稳压器
LVDS	Low Voltage Differential Signaling 低压差分信号
LI-	LVDS RX- 低压差分信号负接收端
LI+	LVDS RX+ 低压差分信号正接收端
LO-	LVDS TX- 低压差分信号负发射端
LO+	LVDS TX+ 低压差分信号正发射端
LED	Light Emitting Diode 发光二极管
MAC	Media Access Controller 介质访问控制
MDIO	Management Data Input / Output 管理数据输入/输出
MI	(PHY) Management Interface 以太网物理层接口器件管理接口
MII	Media Independent Interface 介质无关接口

MISO	Master In – Slave Out 主站输入-从站输出
MOSI	Master Out – Slave In 主站输出-从站输入
n.a.	not available 未使用
n.c.	not connected 未连接
O	Output 输出
PD	Pull-down 下拉
PDI	Process Data Interface 过程数据接口 Physical Device Interface 物理设备接口
PLL	Phase Locked Loop 锁相回路
PU	Pull-up 上拉
PHY	Physical 以太网物理层器件
QFN	Quad Flat package No leads 方形扁平无引脚封装
RD	Read 读
SII	Slave Information Interface 从站信息接口
SM	SyncManager 同步管理器
SOF	Start of Frame 帧起始
SPI	Serial Peripheral Interface 串行外设接口
TA	Transfer Acknowledge 传输应答
TFBGA	Thin-profile Fine-pitch BGA 薄型球栅阵列封装
TS	Transfer Start 传输周期启动
UI	Unused Input (PDI: PD, 其它: GND)未使用的输入引脚
WD	Watchdog 看门狗
WPD	Weak Pull-down 弱下拉，只够配置信号
WPU	Weak Pull-up 弱上拉，只够配置信号
WR	Write 写

1. 端口功能

端口 名称 序号	输入/输出	描述
A1N0-A1NI0 1-9 11,12	输入	模拟输入。这11个模拟信号输入在内部进行了多路复用。对于4.1MHz I/O CLOCK操作，驱动源阻抗应小于或等于50Ω，并且能够将模拟输入电压转换到60pF的电容上。
15	输入	片选。上的电平由高变低时将重置内部计数器和控制，并开启DATA OUT，DATA INPUT和I/O CLOCK端口。电平由低变高时会在设置时间内禁用DATA INPUT和I/O CLOCK端口。
DATA INPUT 17	输入	串行数据输入。4位串行地址选择所需的模拟输入或测试电压，然后再转换。串行数据首先与MSB一起提供，并在I/O CLOCK的前四个上升沿移入。在将四个地址位读入地址寄存器之后，I/O CLOCK其余位按顺序移入。
DATA OUT 16	输出	A/D转换结果的三态串行输出。为高电平时，DATA OUT处于高阻抗状态；为低电平时，DATA OUT处于激活状态。使用有效的时，DATA OUT从高阻抗状态中移出，并被驱动到与先前转换结果的MSB/LSB [†] 值对应的逻辑电平。I/O CLOCK的下一个下降沿将DATA OUT驱动到对应于下一个MSB/LSB的逻辑电平，其余位按顺序移出。
EOC 19	输出	转换结束。在最后一个I/O CLOCK的下降沿之后，EOC从高电平变为低电平，并保持低电平直到转换完成并且数据准备好传输。
GND 10		地。GND是用于内部电路的接地回路终端。除非另有说明，否则所有电压测量均相对GND。
I/O CLOCK 18	输入	输入/输出时钟。I/O CLOCK接收串行输入并执行以下四个功能： 1.在I/O CLOCK的前八个上升沿将8个输入数据位输入数据寄存器，并在第四个上升沿之后提供多路复用器地址。 2.在I/O CLOCK的第四个下降沿，选定的多路复用器输入上的模拟输入电压开始为电容器阵列充电，并继续进行充电，直到I/O CLOCK的最后一个下降沿。 3.它将上一个转换数据的剩余11位移出DATA OUT。数据在I/O CLOCK的下降沿改变。 4.在最后一个I/O CLOCK的下降沿，它将转换的控制权转移到内部状态控制器。
REF + 14	输入	正参考电压。较高的参考电压值（正常为V _{CC} ）加到REF +。最大输入电压范围由施加到该端口的电压与施加到REF-端口的电压之差确定。
REF - 13	输入	负参考电压。较低的参考电压值（正常为接地）加到REF-。
V _{CC} 20		正电源电压

[†] MSB/LSB = 最高有效位/最低有效位

2. 绝对最大额定值（在自由空气工作温度范围内的，除非另有说明）†

电源电压范围, V_{CC} (见注1)		-0.5V ~ 6.5V
输入电压范围, V_I (任何输入)		-0.3V ~ $V_{CC} + 0.3V$
输出电压范围, V_O		-0.3V ~ $V_{CC} + 0.3V$
正参考电压, V_{ref+}		$V_{CC} + 0.1V$
负参考电压, V_{ref-}		-0.1V
峰值输入电流, I_I (任何输入)		$\pm 20mA$
峰值总输入电流, I_I (所有输入)		$\pm 30mA$
自由空气工作温度范围, T_A : CLM2543.....		0°C ~ 70°C
CLM2543I.....		-40°C ~ 85°C
CLM2543M.....		-55°C ~ 125°C
储存温度范围, T_{stg}		-65°C ~ 150°C
距外壳1.6毫米 (1/16英寸) 的引线温度, 持续10秒.....		260°C

†超出“绝对最大额定值”中列出的数值可能会导致器件永久损坏。这些仅是额定数值，但是这并不暗示在这些或任何其他条件（超出“推荐操作条件”中指示的条件）下器件能够正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

注1：所有电压值均相对于GND，其中REF-和GND连接在一起（除非另有说明）。

3. 推荐工作条件

		最小值	正常值	最大值	单位
电源电压, V_{CC}		4.5	5	5.5	V
正参考电压 V_{ref+} (请参阅注2)			V_{CC}		V
负参考电压 V_{ref-} (请参阅注2)			0		V
差分基准电压 $V_{ref+} - V_{ref-}$ (请参阅注2)		2.5	V_{CC}	$V_{CC} + 0.1$	V
模拟输入电压 (请参阅注2)		0		V_{CC}	V
高电平控制输入电压, V_{IH}	$V_{CC} = 4.5V \sim 5.5V$	2		V	V
低电平控制输入电压 V_{IL}	$V_{CC} = 4.5V \sim 5.5V$			0.8	V
I/O CLOCK的时钟频率		0		4.1	MHz
建立时间, I/O CLOCK上升沿之前的DATA INPUT的地址位, $t_{SU(A)}$ (见图4)		100			ns
保持时间, I/O CLOCK上升沿之后的地址位, $t_{h(A)}$ (见图4)		0			ns
保持时间, 在上一个I/O CLOCK下降沿之后的低电平, $t_{h(CS)}$ (见图5)		0			ns
建立时间, 在输入第一个地址位 $t_{SU(CS)}$ 之前为低电平 (见注3和图5)		1.425			μs
脉冲持续时间, I/O CLOCK高电平, $t_{WH(I/O)}$		120			ns
脉冲持续时间, I/O CLOCK低电平, $t_{WL(I/O)}$		120			ns
I/O CLOCK从高电平到低电平的转换时间 $t_{t(I/O)}$ (请参阅注4和图6)				1	μs
转换时间, DATA INPUT和, $t_{t(CS)}$				10	μs
自由空气下工作温度, T_A	CLM2543	0		70	°C
	CLM2543I	-40		85	
	CLM2543M	-55		125	

注意：2. 模拟输入电压大于REF+端参考电压时输出转换为全1 (111111111111)，而小于REF-端参考电压时输出转换为全零 (000000000000)。

3. 为了最小化输入端噪声引起的误差，内部电路在CS下降沿之后等待建立时间，然后响应控制输入信号。在最短设置时间过去之前，请勿尝试输入地址。

4. 这是时钟输入信号从 V_{IH} 最小值下降到 V_{IL} 最大值或从 V_{IL} 最大值上升到 V_{IH} 最小值所需的时间。在正常室温附近，这些器件的输入时钟转换时间仅为1 μs ，可用于远程数据采集装置，其中传感器和A/D转换器与控制微处理器的距离为几英尺。

3.1.在推荐的自由空气工作温度范围内的电气特性， $V_{CC} = V_{ref+} = 4.5V$ 至 $5.5V$ ， $f(I/O\ CLOCK) = 4.1MHz$ （除非另有说明）

参数		测试条件	CLM2543, CLM2543I			单位
			最小值	典型值 [†]	最大值	
V _{OH} 高电平输出电压		V _{CC} = 4.5V, I _{OH} = -1.6mA	2.4			V
		V _{CC} = 4.5V ~ 5.5V, I _{OH} = -20μA	V _{CC} -0.1			
V _{OL} 低电平输出电压		V _{CC} = 4.5V, I _{OL} = 1.6mA			0.4	V
		V _{CC} = 4.5V ~ 5.5V, I _{OL} = 20μA			0.1	
I _{OZ} 高阻抗截止状态输出电流		V _O = V _{CC} , = V _{CC}		1	2.5	μA
		V _O = 0, = V _{CC}		1	-2.5	
I _{IH} 高电平输入电流		V _I = V _{CC}		1	2.5	μA
I _{IL} 低电平输入电流		V _I = 0		1	-2.5	μA
I _{CC} 工作电源电流		= 0V		1	2.5	mA
I _{CC} (PD) 断电电流		对于所有数字输入， 0 ≤ V _I ≤ 0.5V / V _I ≥ V _{CC} - 0.5V		4	25	μA
所选通道漏电流		选定通道的电压为V _{CC} ，未选定通道的电压为0V			1	μA
		所选通道的电压为0V，未选择通道的电压为V _{CC}			-1	
流入REF+的最大静态模拟参考电流		V _{ref+} = V _{CC} , V _{ref-} = GND		1	2.5	μA
C _I 输入电容	模拟输入			30	60	pF
	控制输入			5	15	

[†]所有典型值均为 $V_{CC} = 5V$ ， $T_A = 25^\circ C$ 状态下。

3.2.在推荐的自由空气工作温度范围内的电气特性， $V_{CC} = V_{ref+} = 4.5V$ 至 $5.5V$ ， $f(I/O\ CLOCK) = 4.1MHz$ （除非另有说明）

参数		测试条件	CLM2543, CLM2543I			单位
			最小值	典型值 [†]	最大值	
V _{OH} 高电平输出电压		V _{CC} = 4.5V, I _{OH} = -1.6mA	2.4			V
		V _{CC} = 4.5V ~ 5.5V, I _{OH} = -20μA	V _{CC} -0.1			
V _{OL} 低电平输出电压		V _{CC} = 4.5V, I _{OL} = 1.6mA			0.4	V
		V _{CC} = 4.5V ~ 5.5V, I _{OL} = 20μA			0.1	
I _{OZ} 高阻抗截止状态输出电流		V _O = V _{CC} , I _{OZ} = V _{CC}		1	2.5	μA
		V _O = 0, I _{OZ} = V _{CC}		1	-2.5	
I _{IH} 高电平输入电流		V _I = V _{CC}		1	10	μA
I _{IL} 低电平输入电流		V _I = 0		1	-10	μA
I _{CC} 工作电源电流		= 0V		1	2.5	mA
I _{CC (PD)} 断电电流		对于所有数字输入， 0 ≤ V _I ≤ 0.5V / V _I ≥ V _{CC} - 0.5V		4	25	μA
所选通道漏电流		选定通道的电压为V _{CC} ，未选定通道的电压为0V			10	μA
		所选通道的电压为0V，未选择通道的电压为V _{CC}			-10	
流入REF+的最大静态模拟参考电流		V _{ref+} = V _{CC} , V _{ref-} = GND		1	2.5	μA
C _I 输入电容	模拟输入			30	60	pF
	控制输入			5	15	

[†]所有典型值均为 $V_{CC} = 5V$ ， $T_A = 25^\circ C$ 状态下。

3.3.在推荐的自由空气工作温度范围内的电气特性，VCC = Vref+ = 4.5V至5.5V，f (I/O CLOCK) = 4.1MHz (除非另有说明)

参数	测试条件	最小值	典型值 [†]	最大值	单位
E _L 线性度误差 (参见注释5)	见图2			±1	LSB
E _D 差分线性误差	见图2			±1	LSB
E _O 偏移误差 (请参见注释6)	见注2和图2			±1.5	LSB
E _G 增益误差 (参见注释6)	见注2和图2			±1	LSB
E _T 总非调整误差 (请参见注释7)				±1.75	LSB
自检输出码 (请参阅表3和注8)	DATA INPUT = 1011		2048		
	DATA INPUT = 1100		0		
	DATA INPUT = 1101		4095		
t _(conv) 转换时间	见图9-14		8	10	μs
t _c 总循环时间 (访问，采样和转换)	见图9-14和注9			10 + 总I/O 时钟周期 + t _d (I/O-EOC)	μs
t _{acq} 通道采集时间 (采样)	见图9-14和注9	4		12	I/O时钟 周期
t _v 有效时间，I/O CLOCK下降沿后， DATA OUT保持有效	见图6	10			ns
t _{d(I/O-DATA)} 延迟时间，I/O CLOCK下降至 DATA OUT有效	见图6			150	ns
t _{d(I/O-EOC)} 延迟时间，最后一个I/O CLOCK下降沿至EOC下降 沿	见图7		1.5	2.2	μs
t _{d(EOC-DATA)} 延迟时间，EOC上升沿到DATA OUT (MSB/LSB)	见图8			100	ns
t _{PZH} , t _{PZL} 使能时间，下降沿到DATA OUT (MSB / LSB驱动)	见图3		0.7	1.3	μs
t _{PHZ} , t _{PLZ} 禁用时间，上升沿到DATA OUT (高阻抗)	见图3		70	150	ns
t _{r(EOC)} 上升时间，EOC	见图8		15	50	ns
t _{f(EOC)} 下降时间，EOC	见图7		15	50	ns
t _{r(bus)} 上升时间，数据总线	见图6		15	50	ns
t _{f(bus)} 下降时间，数据总线	见图6		15	50	ns
t _{d(I/O-CS)} 延迟时间，最后一个I/O CLOCK 下降沿至上升沿中止转换 (见注10)				5	μs

[†]所有典型值均为T_A = 25°C状态下。

注意：2. 模拟输入电压大于REF+端参考电压时输出转换为全1 (11111111111)，而小于REF-端参考电压时输出转换为全零 (00000000000)。

5. 线性误差是A/D传输特性与最佳直线的最大偏差。

6. 增益误差是将偏移误差调整为零后，在指定增益点处，传输图中实际步值与理论步值之差。偏移误差是偏移点处实际步值与理论步值之间的差。

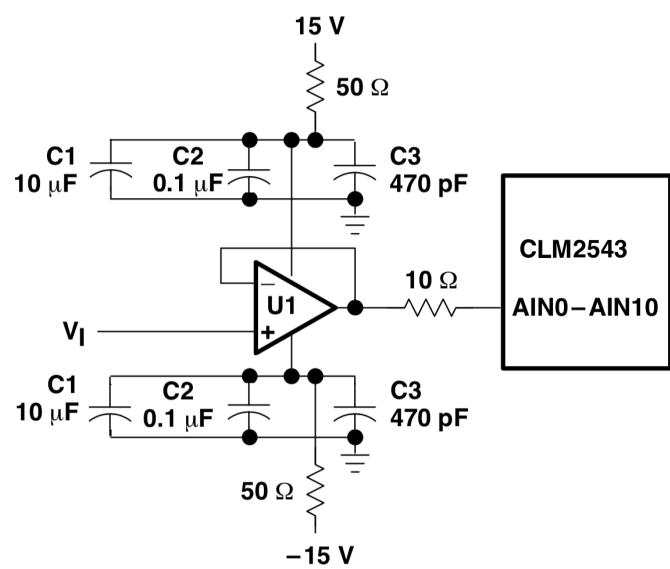
7. 总的非调整误差包括线性误差，零刻度和满刻度误差。

8. 输入地址和输出代码均以正逻辑表示。

9. I/O CLOCK周期 = 1 / (I/O CLOCK频率) (见图7)。

10. 仅当在设置时间内保持电平时，的任何转换才被视为有效。必须在第十个I/O CLOCK下降沿的≤5 μs处将取为低电平，以确保转换中止。在5μs和10μs之间，不确定转换是否中止或转换结果是否有效。

4. 参数测量信息



位置	描述	器件号
U1	OP27	-
C1	10μF 35V钽电容	-
C2	0.1μF陶瓷NPO贴片电容	AVX 12105C104KA105或同等产品
C3	470pF陶瓷Hi-Q贴片电容	Johanson 201S420471JG4L或同等水平

图1. 模拟输入缓冲器到模拟输入AIN0-AIN10

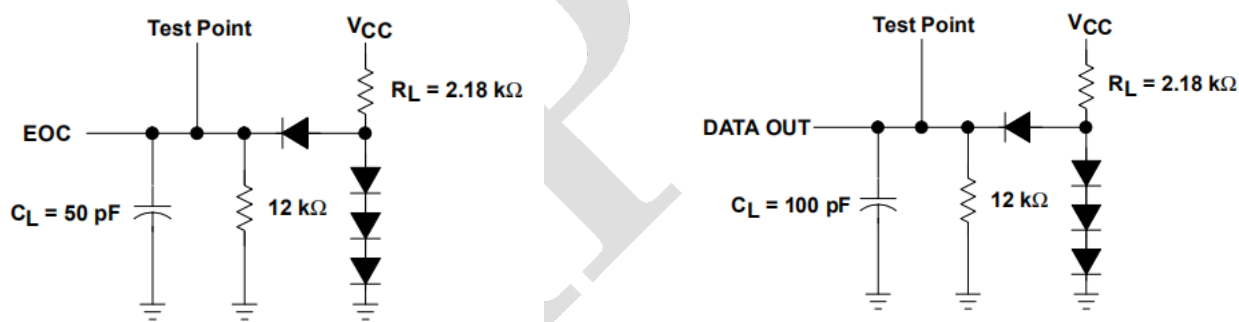


图2.负载电路

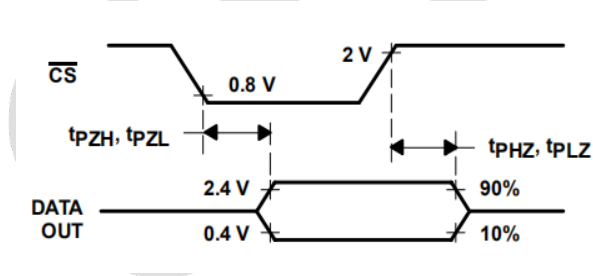


图3.数据输出到Hi-Z电压波形

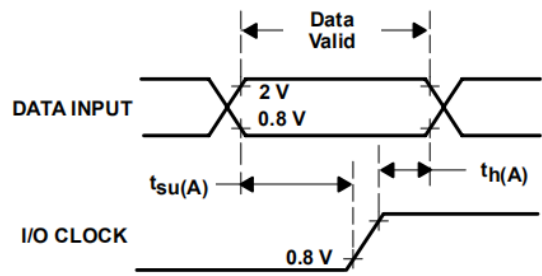
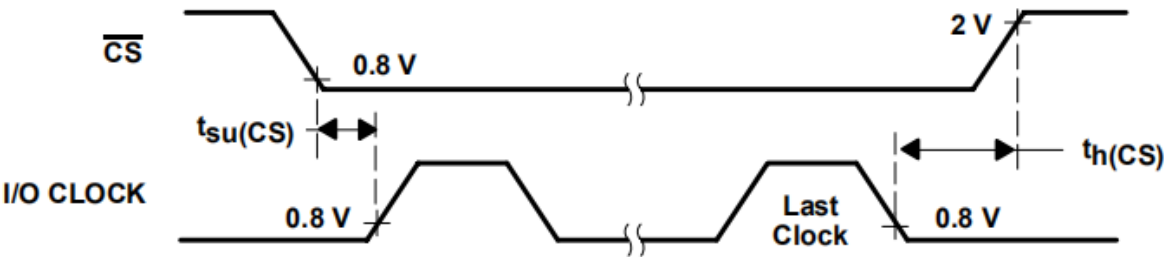


图4.数据输入和I/O CLOCK电压波形

5. 参数测量信息



注意A：为确保完全的转换精度，建议在转换过程中不要使输入信号发生变化。

图5. 和I/O CLOCK电压波形

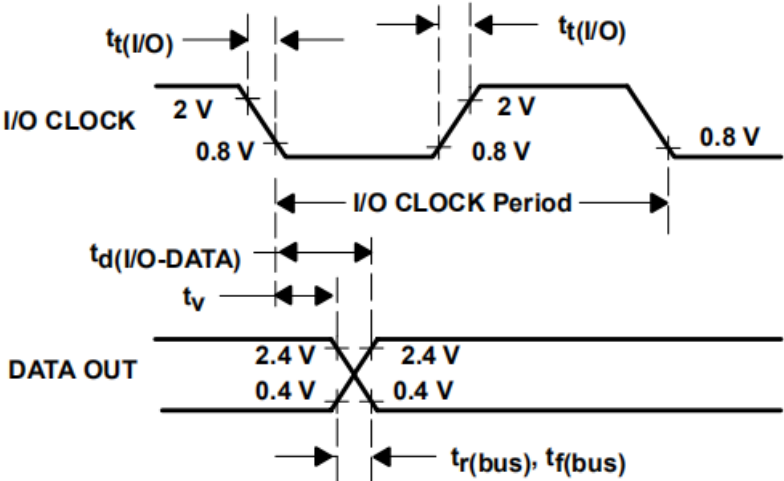


图6. I/O CLOCK和DATA OUT电压波形

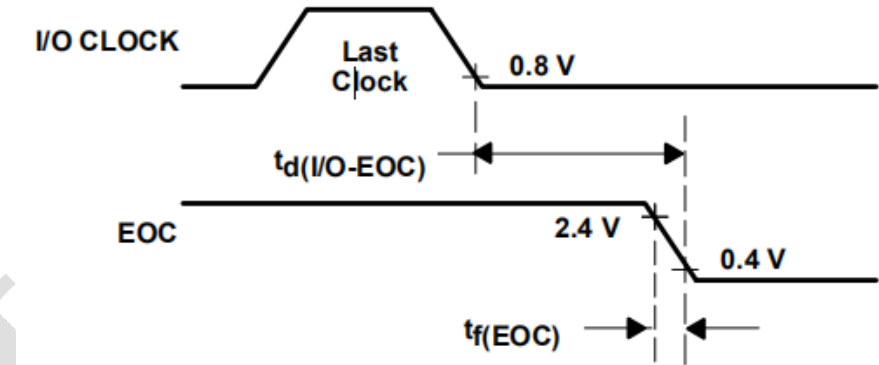


图7. I/O CLOCK和EOC电压波形

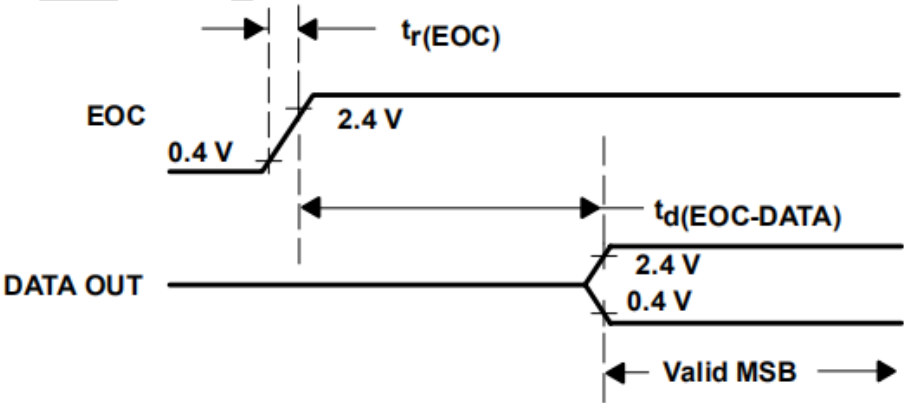
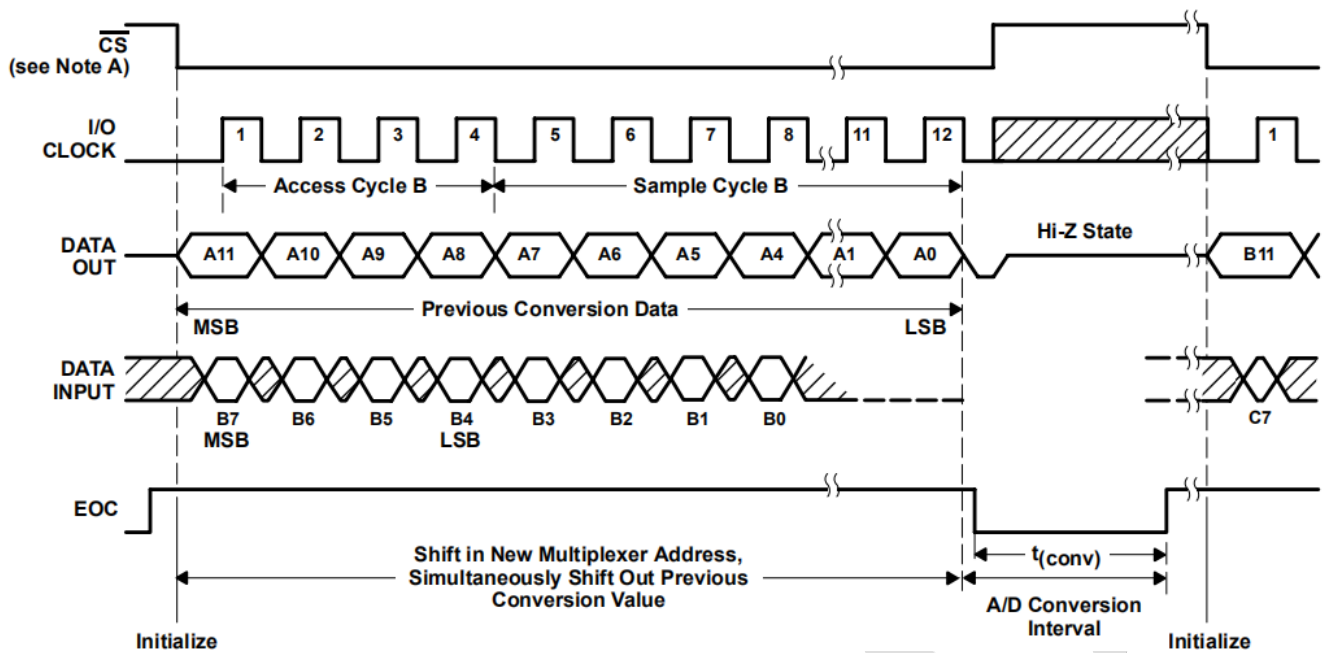


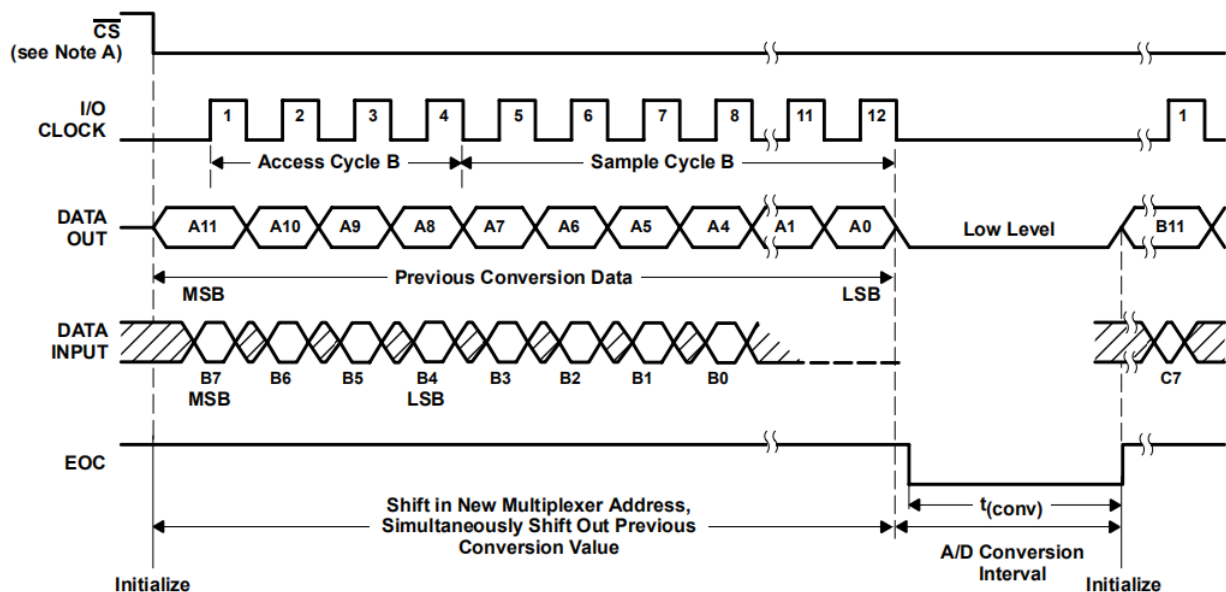
图8. EOC和DATA OUT电压波形

6. 参数测量信息



注A：为了最大程度地减少噪声引起的误差，内部电路会在下降沿之后等待建立时间，然后响应控制输入信号。因此，在经过最短的设置时间之前，请勿尝试输入地址。

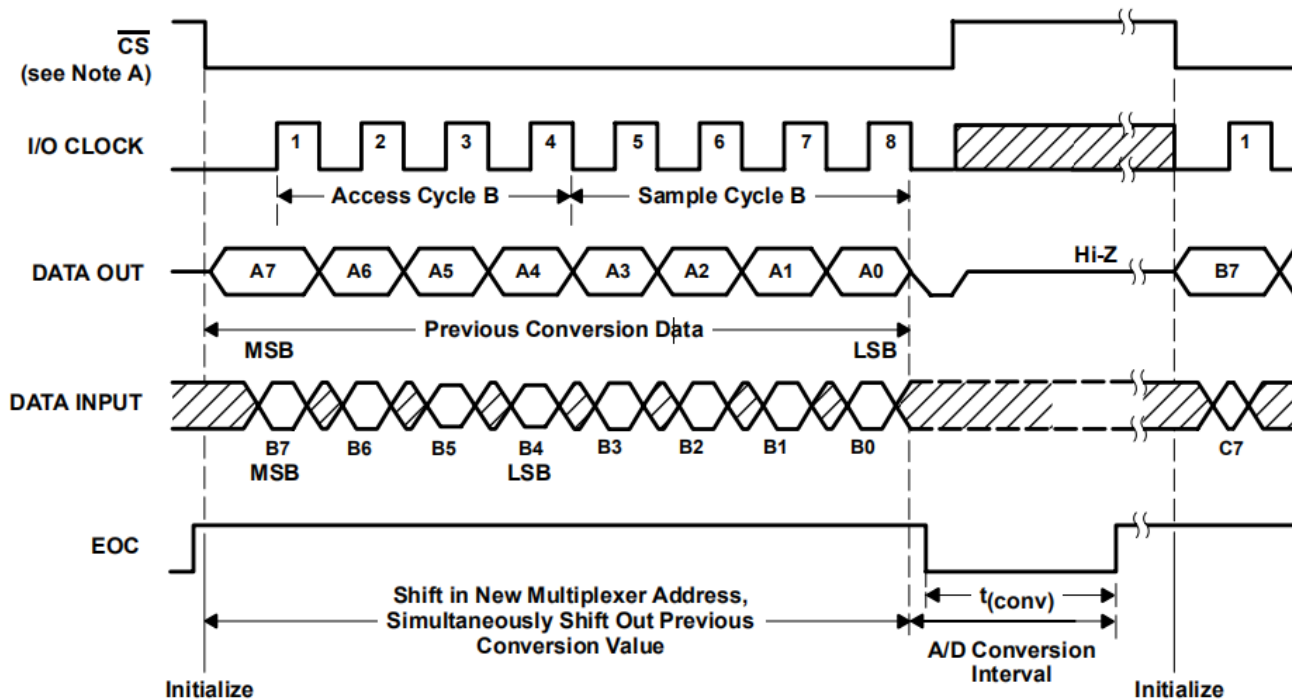
图9.首先使用和MSB进行12时钟传输的时序



注A：为了最大程度地减少噪声引起的误差，内部电路会在下降沿之后等待建立时间，然后响应控制输入信号。因此，在经过最短的设置时间之前，请勿尝试输入地址。

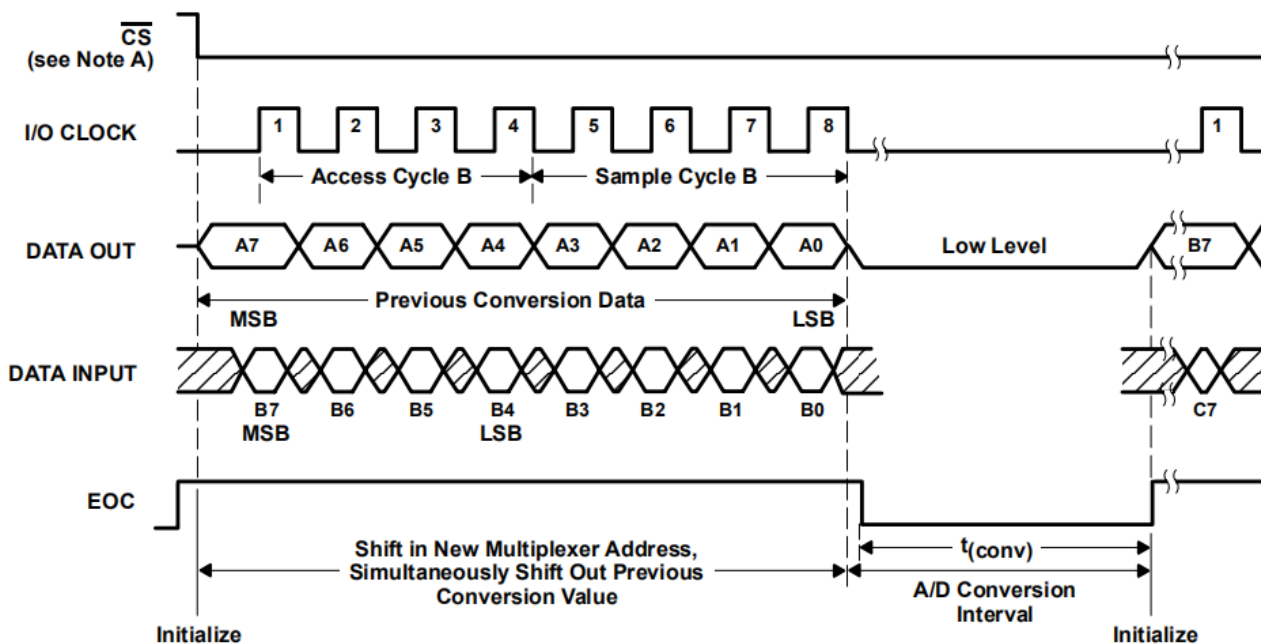
图10.不首先将与MSB一起使用的12时钟传输时序

7. 参数测量信息



注A：为了最大程度地减少噪声引起的误差，内部电路会在下降沿之后等待建立时间，然后响应控制输入信号。因此，在经过最短的设置时间之前，请勿尝试输入地址。

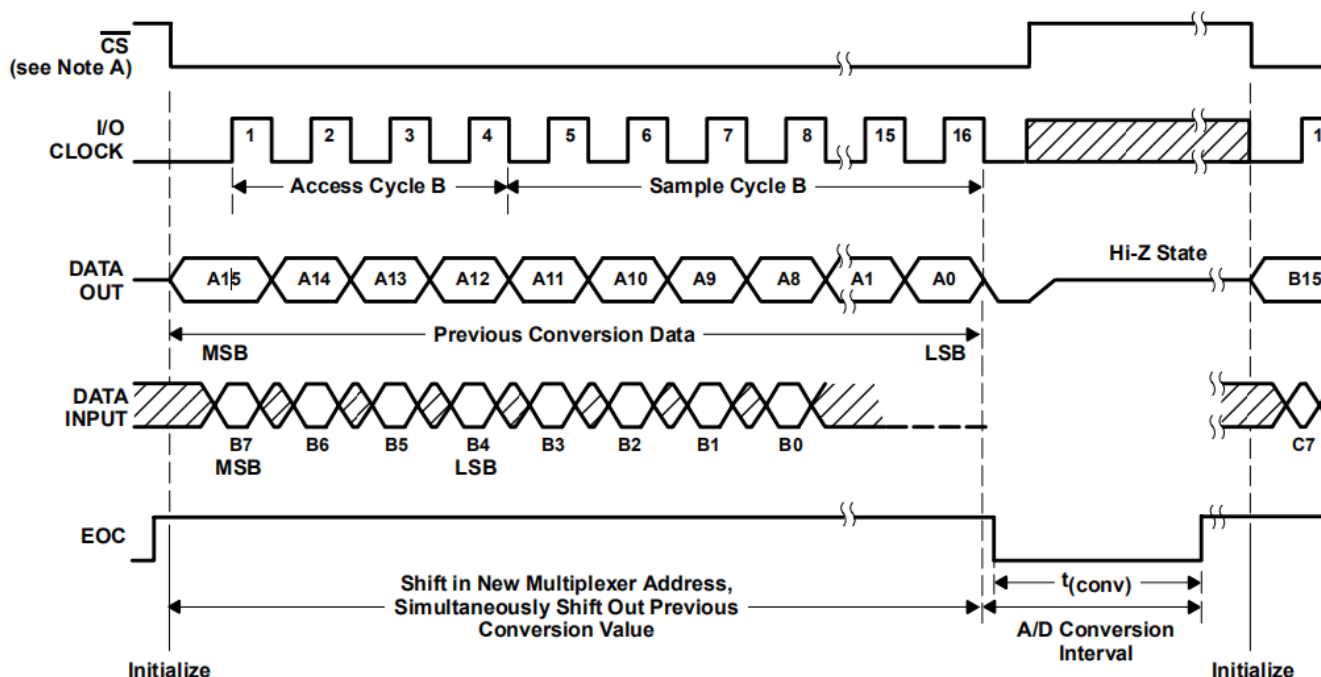
图11.首先使用和MSB进行8时钟传输的时序



注A：为了最大程度地减少噪声引起的误差，内部电路会在下降沿之后等待建立时间，然后响应控制输入信号。因此，在经过最短的设置时间之前，请勿尝试输入地址。

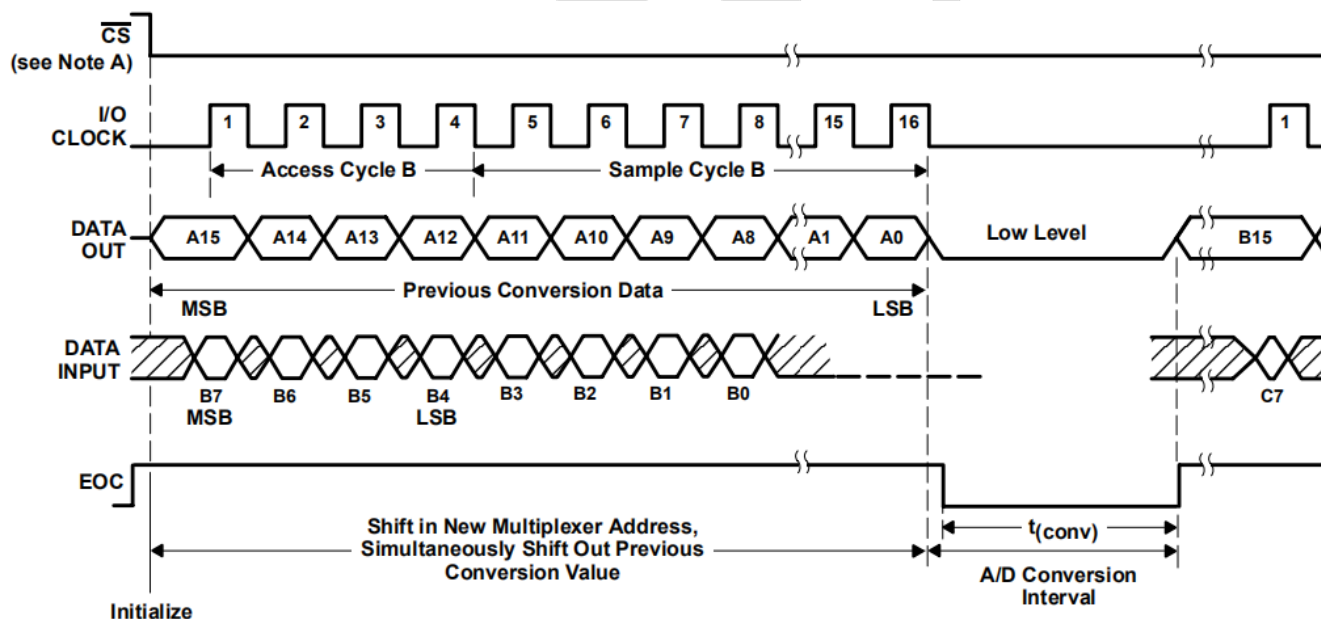
图12.不首先将与MSB一起使用的8时钟传输时序

8. 参数测量信息



注A：为了最大程度地减少噪声引起的误差，内部电路会在下降沿之后等待建立时间，然后响应控制输入信号。因此，在经过最短的设置时间之前，请勿尝试输入地址。

图13.首先使用和MSB进行16时钟传输的时序



注A：为了最大程度地减少噪声引起的误差，内部电路会在下降沿之后等待建立时间，然后响应控制输入信号。因此，在经过最短的设置时间之前，请勿尝试输入地址。

图14.不首先将与MSB一起使用的16时钟传输时序

9. 操作原则

最初，当片选信号（ $\overline{CS}$ ）为高电平时，I/O CLOCK和DATA INPUT被禁用，而DATA OUT处于高阻抗状态。通过开启I/O CLOCK和DATA INPUT端口使变为低电平从而开始转换序列，并且此时DATA OUT不处于高阻抗状态。

输入数据是8位数据流，包括4位模拟通道地址（D7-D4），2位数据长度选择（D3-D2），输出MSB或LSB的第一位（D1）和用于数据输入的单极性或双极性输出选择位（D0）。应用于I/O CLOCK端口的I/O CLOCK序列将该数据传输到输入数据寄存器。

在该传输期间，I/O CLOCK序列还将先前的转换结果从输出数据寄存器移至DATA OUT。根据输入数据寄存器中数据的长度选择I/O CLOCK接收8、12或16个时钟周期的输入序列。模拟输入的采样在输入I/O CLOCK序列的第四个下降沿开始，并在I/O CLOCK序列的最后一个下降沿之后保持。I/O CLOCK序列的最后一个下降沿也会使EOC变低并开始转换。

9.1. 转换器操作

转换器的操作分为两个不同的周期：1）I/O周期和2）实际转换周期。

9.2. I/O周期

I/O周期由外部提供的I/O CLOCK定义，至于持续8、12还是16个时钟周期，具体取决于所选的输出数据长度。

在I/O周期中，以下两项操作会同时发生。

由地址和控制信息组成的8位数据流提供给DATA INPUT。该数据在前八个I/O时钟的上升沿移入器件。在12或16时钟I/O传输的前八个时钟之后，将忽略DATA INPUT。

长度为8、12或16位的数据输出在DATA OUT上串行提供。当保持低电平时，第一个输出数据位出现在EOC的上升沿。在转换之间当取反时，第一个输出数据位出现在CS的下降沿。该数据是前一个转换周期的结果，在第一个输出数据位之后，每个后续位在每个后续I/O时钟的下降沿移出。

9.3. 转换周期

转换周期是透明的，并且由与I/O时钟同步的内部时钟控制。在转换期间，器件对模拟输入电压执行逐次逼近转换。EOC输出在转换周期开始时变为低电平，并在转换完成且输出数据寄存器被锁存时变为高电平。转换周期仅在I/O周期完成后才开始，这样可以最大程度地减少外部数字噪声对转换精度的影响。

10.操作原则

10.1.上电和初始化

上电后，必须将从高电平变为低电平以开始I/O周期。EOC最初为高电平，并且输入数据寄存器设置为全零。输出数据寄存器的内容是随机的，第一个转换结果应忽略。为了在操作期间进行初始化，变为高电平，然后返回低电平以开始下一个I/O周期。由于内部器件稳定，器件从掉电状态恢复后的第一次转换可能无法被准确的读取。

表1. 操作术语

当前（N）I/O周期	整个I/O CLOCK序列将地址和控制数据传输到数据寄存器中，并对来自DATA OUT的前一次转换的数字结果进行测时
当前（N）转换周期	转换周期在当前I/O周期之后立即开始。当前I/O周期的结束是I/O CLOCK序列中的最后一个时钟下降沿。转换完成后，当前转换结果将加载到输出寄存器中。
当前（N）转换结果	当前的转换结果在下一个I/O周期中串行移出。
上一个（N - 1）转换周期	转换周期刚好在当前I/O周期之前
下一个（N + 1）I/O周期	当前转换周期之后的I/O周期

示例：在12位模式下，当前转换周期的结果是在下一个I/O周期中逐次输出12位串行数据流。当前I/O周期必须正好为12位长才能保持同步，即使这破坏了前一次转换输出的数据也是如此。当对应I/O周期的第十二个下降沿之后，立即开始当前转换。

11.操作原则

11.1.数据输入

数据输入被连接到内部8位串行输入地址和控制寄存器。寄存器定义转换器的操作和输出数据长度。上位机首先向数据字提供MSB。每个数据位在I/O CLOCK序列的上升沿移入（有关数据输入寄存器格式，请参见表2）。

表2.输入寄存器格式

功能选择	数据输入字节							
	地址位				L1	L0	LSBF	BIP
	D7 (MSB)	D6	D5	D4	D3	D2	D1	D0 (LSB)
选择输入通道								
AIN0	0	0	0	0				
AIN1	0	0	0	1				
AIN2	0	0	1	0				
AIN3	0	0	1	1				
AIN4	0	1	0	0				
AIN5	0	1	0	1				
AIN6	0	1	1	0				
AIN7	0	1	1	1				
AIN8	1	0	0	0				
AIN9	1	0	0	1				
AIN10	1	0	1	0				
选择测试电压								
(V _{ref+} – V _{ref-})/2	1	0	1	1				
V _{ref-}	1	1	0	0				
V _{ref+}	1	1	0	0				
软件掉电	1	1	1	1				
输出数据长度								
8位					0	1		
12位					X†	0		
16位					1	1		
数据输出格式								
MSB优先							0	
LSB优先 (LSBF)							1	
单极 (二进制)								0
双极 (BIP) 2s补码								1

†X表示无关条件。

11.2.数据输入地址位

数据寄存器的四个MSB (D7 – D4) 寻址11个输入通道中的一个输入通道、参考测试电压或掉电模式。地址位影响当前转换，当前转换是紧随当前I/O周期之后的转换。参考电压标称等于V_{ref+} – V_{ref-}。

12. 操作原则

12.1. 数据输出长度

数据寄存器的后两位（D3和D2）选择输出数据长度。数据长度选择对于当前的I/O周期（读取数据的周期）有效。对当前I/O周期有效的数据长度选择允许器件启动同时不会丢失同步I/O。数据寄存器的后两位（D3和D2）可以选择8位，12位或16位的数据长度。由于转换器具有12位分辨率，因此建议选择12位数据长度。

将D3和D2设置为00或10时，器件处于12位数据长度模式，并且在下一个I/O周期中，转换的结果将作为12位串行数据流输出。当前I/O周期必须恰好为12位长才能确保正确同步，即使这可能会破坏先前转换的输出数据。当前I/O周期的第十二个下降沿之后，立即开始转换。

将D3和D2设置为11时，选择了16位数据长度模式，从而可以方便地与16位串行接口进行通信。在16位模式下，当前转换的结果在下一个I/O周期中作为16位串行数据流输出，并且四个LSB始终复位为0（填充位）。当前的I/O周期必须恰好是16位长才能保持同步，即使这可能会破坏先前转换的输出数据。当前I/O周期的第十六个下降沿之后，立即开始转换。

将D3和D2设置为01时，将选择8位数据长度模式，从而可以与8位串行接口进行快速通信。在8位模式下，当前转换的结果在下一个I/O周期中作为8位串行数据流输出。当前的I/O周期必须正好为8位长才能保持同步，即使这可能会破坏先前转换的输出数据。转换结果的四个LSB被截断并舍弃。当前I/O周期的第八个下降沿之后，立即开始转换。

由于在编程数据长度时D3和D2在当前I/O周期上起作用，因此当数据字长从一个周期更改为下一个周期时，它可能与前一个周期发生冲突。当数据格式首先选择为最低有效位时便可能会发生这种情况，因为在数据长度更改生效时（I/O CLOCK的六个上升沿），先前的转换结果已经开始移出。

在实际操作中，当应用程序中需要不同的数据长度并且两次转换之间更改了数据长度时，只有优先以LSB格式移出一个转换结果时才能确保损坏的结果不多于一个。

12.2. 采样周期

在采样期间，模拟输入之一被连接到内部转换器的电容器阵列，以存储模拟输入信号。四个地址位输入到数据寄存器后，转换器立即开始对所选输入进行采样。采样从I/O CLOCK的第四个下降沿开始。转换器将根据所选的数据长度一直处于采样模式，直到第8，12或16个I/O CLOCK的下降沿为止。从最后一个I/O CLOCK下降沿开始到EOC延迟时间之后，EOC输出变为低电平，指示采样周期已结束并且转换周期已开始。EOC变为低电平后，可以更改模拟输入而不会影响转换结果。由于从最后一个I/O时钟的下降沿开始到EOC变为低电平的延迟是固定的，因此可以以固定的速率对输入进行模数转化，而不会由于时序不确定性而引起系统的谐波失真或噪声。

时钟输入8位数据流后，应将DATA INPUT保持在固定的数字电平，直到EOC变高（表明转换完成）为止，以最大程度地提高采样精度并最大程度地降低外部数字噪声的影响。

13. 操作原则

13.1. 数据寄存器，LSB优先

输入数据寄存器中的D1（LSB优先）控制输出二进制数据传输的方向。当D1设置为0时，转换结果首先移出MSB。设置为1时，数据首先移出LSB。优先选择MSB还是LSB总是影响下一个I/O周期，而不影响当前的I/O周期。从一个数据方向更改为另一个数据方向时，当前的I/O周期永远不会中断。

13.2. 数据寄存器，双极性模式

输入数据寄存器中的D0（BIP）控制用于表示转换结果的二进制数据格式。当D0清0时，转换结果表示为单极性（无符号二进制）数据。名义上，等于Vref-的输入电压的转换结果是全零的代码（000 ... 0），等于Vref +的输入电压的转换结果是全1的代码（111 ... 1），并且 $(V_{ref+} + V_{ref-})/2$ 的转换结果是最高位为1其余位均为0的代码（100 ... 0）。

当D0设置为1时，转换结果表示为双极性（有符号二进制）数据。名义上，等于Vref-的输入电压的转换结果是最高位为1其余位为0的代码（100 ... 0），等于Vref +的输入电压的转换结果是最高位为0其余位为1的代码（011... 1），并且 $(V_{ref+} + V_{ref-})/2$ 的转换结果是全零（000 ... 0）的代码。MSB为符号位。双极性数据格式与单极性格式有关，因为MSB总是彼此互补。

单极性或双极性格式的选择始终会影响当前的转换周期，并且转换结果将在下一个I/O周期输出。在单极性和双极性格式之间切换时，当前I/O周期中的数据输出不受影响。

13.3. EOC输出

EOC信号表示转换的开始和结束。在复位状态下，EOC始终为高电平。在采样期间（从I/O CLOCK序列的第四个下降沿开始），EOC保持高电平，直到安全地打开转换器的内部采样开关为止。根据输入数据寄存器中数据的长度，选择采样开关的打开时间是在第8、12还是16个I/O CLOCK下降沿之后，EOC信号变为低电平后，可以更改模拟输入信号，而不会影响转换结果。

转换完成后，EOC信号再次变高，转换结果被锁存到输出数据寄存器中。EOC的上升沿使转换器回到复位状态，并且新的I/O周期开始。在EOC的上升沿，当为低电平时，当前转换结果的第一位位于DATA OUT上。当的电平在两次转换之间取反时，当前转换结果的第一位出现在下降沿的DATA OUT处。

13.4. 数据格式和填充位

输入数据寄存器的D3和D2用来确定数字输出中的有效位数，该数字输出代表转换结果。LSB优先位确定数据传输的方向，而BIP位确定算术转换。数值数据始终以任何输出格式向MSB对齐。

内部转换结果始终为12位长。当选择8位数据传输时，内部结果的四个LSB被丢弃，以提供更快速度的1字节传输。选择12位传输时，将传输所有位。选择16位传输时，始终将四个LSB填充位附加到内部转换结果中。在LSB优先模式下，输出结果中高四位为0。在MSB优先模式下，输出结果中低四位为零。

14. 操作原则

14.1. 数据格式和填充位（续）

当连续保持低电平时，新完成转换的第一个数据位出现在EOC上升沿的DATA OUT上。在I/O CLOCK的最后一个下降沿之后开始新的转换时，EOC变为低电平，并且串行输出被强制设置为0，直到EOC再次变为高电平。

当在两次转换之间取反时，第一个数据位出现在下降沿的DATA OUT上。在出现第一个数据位之后的每个I/O CLOCK下降沿，数据将转换为串行转换结果中的下一位，直到输出了所需的位数为止。

14.2. 片选输入（）

用来开启和关闭器件。在正常操作期间，应为低电平。尽管不必使用来同步数据传输，但可以在转换之间将电平调高，以协调共享同一总线的多个器件间的数据传输。

当变为高电平时，串行数据输出立即变为高阻抗状态，将其输出数据线释放给其他共享器件。在内部去抖时间之后，I/O CLOCK被关闭，从而防止内部状态的进一步变化。

当将再次拉低时，器件复位。在复位操作生效之前必须在内部去抖动时间内保持低电平。将置为低电平后，在可以开始新的I/O周期之前，I/O CLOCK必须在最短之内保持非活动（低电平）状态。

14.3. 掉电功能

在前四个I/O时钟周期中，将二进制地址1110时钟输入到数据寄存器时，将选择掉电模式。在第四个I/O CLOCK脉冲的下降沿激活掉电功能。

掉电期间，所有内部电路均处于低电流待机模式。如果所有数字输入电平均保持高于 $V_{CC} - 0.5V$ 或低于 $0.5V$ ，则不执行任何转换，并且内部输出缓冲器保留以前的数据转换结果。I/O逻辑保持激活状态，因此即使选择了掉电模式，当前I/O周期的转换也可以完成。上电复位后和第一个I/O周期之前，转换器通常以掉电模式启动。器件一直处于掉电模式，直到输入有效的地址（1110除外）为止。在该I/O周期完成后，将执行常规转换，结果将在下一个I/O周期移出。

15.操作原则

15.1.模拟输入，测试和掉电模式

输入多路复用器根据表2、3和4所示的输入地址选择11个模拟输入、三个内部电压和掉电模式。输入多路复用器为先断后合型，可减少输入电压以及通道切换导致的噪声抑制。模拟输入的采样在第四个I/O CLOCK的下降沿开始，并在其余的I/O CLOCK脉冲处继续采样。采样保持直到最后一个I/O CLOCK脉冲的下降沿。三个内部测试输入被施加到多路复用器，然后以与外部模拟输入相同的方式进行采样和转换。由于内部器件的稳定性，器件从掉电状态恢复后的第一次转换可能无法准确读取。

表3.模拟通道选择地址

选择模拟输入	值转换为数据输入	
	二进制	十六进制
AIN0	0000	0
AIN1	0001	1
AIN2	0010	2
AIN3	0011	3
AIN4	0100	4
AIN5	0101	5
AIN6	0110	6
AIN7	0111	7
AIN8	1000	8
AIN9	1001	9
AIN10	1010	A

表4.测试模式选择地址

内部自测电压选择†	值转换为数据输入		单极输出结果 (HEX) ‡
	二进制	十六进制	
$\frac{V_{REF+} - V_{REF-}}{2}$	1011	B	800
V_{REF-}	1100	C	000
V_{REF+}	1101	D	FFF

†V_{ref +}是施加到REF +的电压，而V_{ref-}是施加到REF-的电压。
‡ 显示的输出结果是理想值，并且可能随参考电压稳定性和内部偏移而变化。

表5.掉电选择地址

输入命令	值转换为数据输入		结果
	二进制	十六进制	
掉电	1110	E	ICC≤25μA

16. 操作原则

16.1. 转换器和模拟输入

逐次逼近转换系统中的CMOS阈值检测器通过检查一系列二进制加权电容器上的电荷来确定每个位的电平（见图1）。在转换过程的第一阶段，通过同时闭合SC和所有ST开关对模拟输入进行采样。该操作将所有电容器充电至输入电压。

在转换过程的下一阶段，所有ST和SC开关均断开，并且阈值检测器通过识别每个电容上相对于基准（REF-）电压的电荷（电压）来开始对位进行识别。在开关序列中，将分别检查12个电容，直到识别出全部12位，并重复进行电荷转换序列。在转换阶段的第一步，阈值检测器查看第一个电容（权重= 4096）。该电容器4096节点切换到REF+电压，梯形图上所有其他电容的等效节点切换到REF-。当求和节点上的电压大于阈值检测器的跳变点（大约 $1/2 V_{CC}$ ）时，在输出寄存器中放置一个位0，并将4096权重的电容切换到REF-。当求和节点上的电压小于阈值检测器的跳变点时，将一位1放置在寄存器中，并且在逐次逼近过程中该4096权重电容将保持连接至REF+。对于2048权重的电容、1024权重的电容等，一直重复该过程，直到确定所有位为止。在逐次逼近过程的每个步骤中，初始电荷都会在电容器之间重新分配。转换过程依靠电荷重新分配来确定从MSB到LSB的位。

16.2. 参考电压输入

器件使用的两个参考输入是施加到REF+和REF-端口的电压。这些电压值确定模拟输入的上限和下限，以分别产生满量程和零量程读数。这些电压和模拟输入不得超过正电源或低于地面，与规定的绝对最大额定值一致。当输入信号等于或高于REF+端电压时，数字输出为满量程；当输入信号等于或低于REF-端电压时，数字输出为零量程。

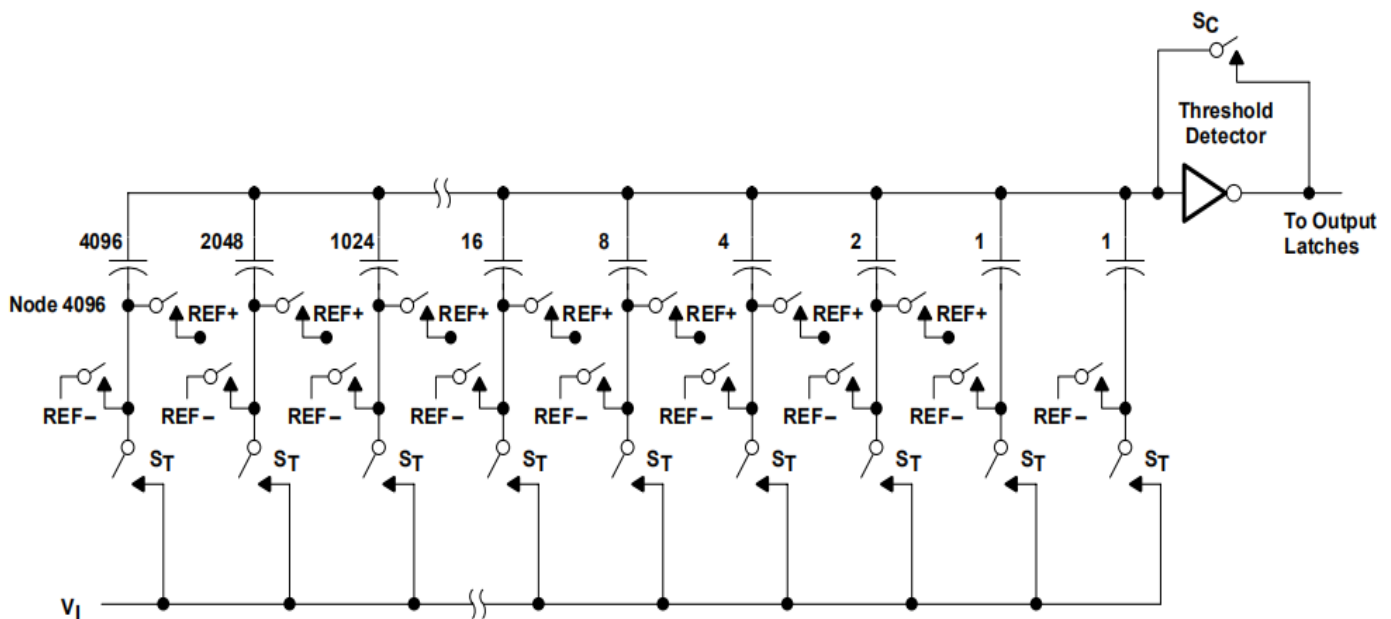
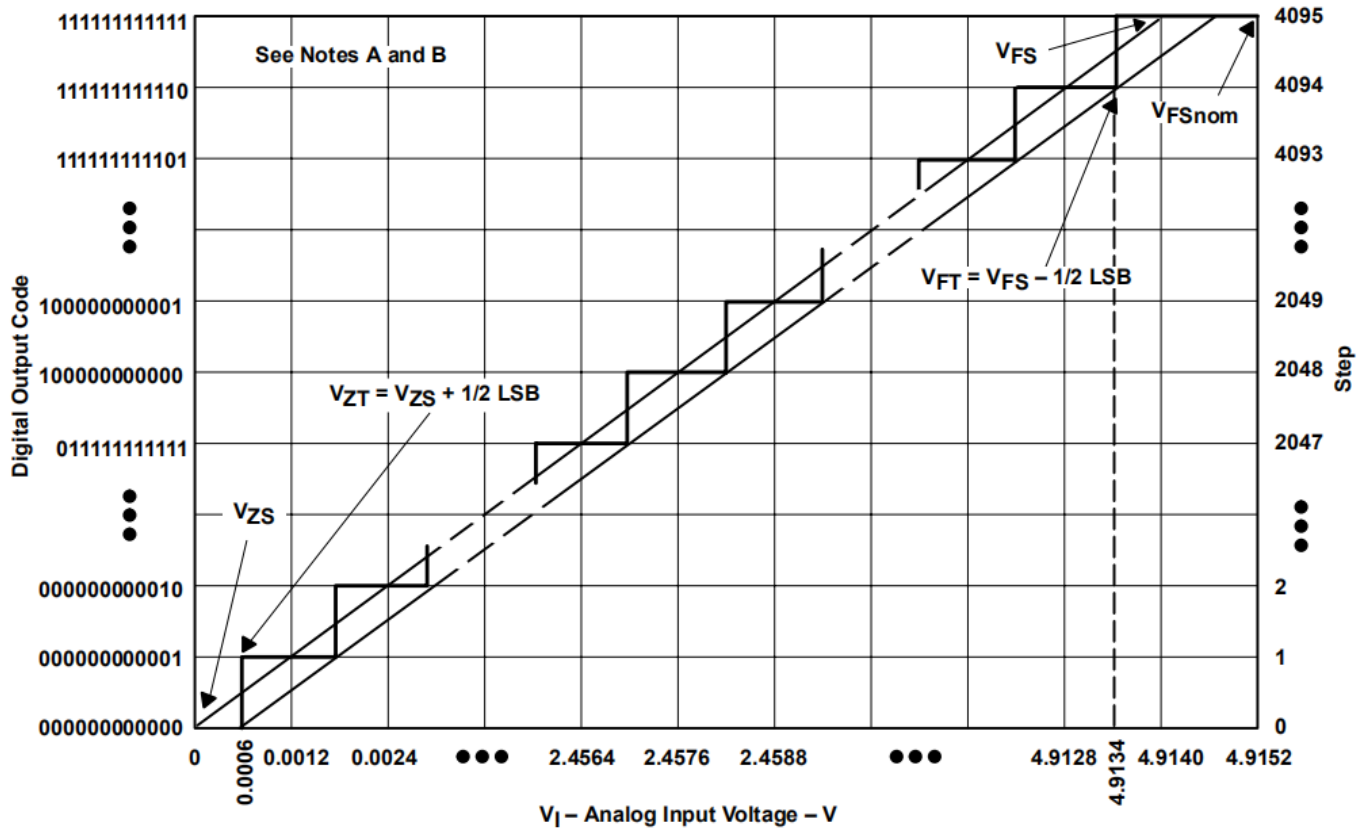


图15.逐次逼近系统的简化模型

17.应用信息



注意： A. 此曲线是基于以下假设：调整 V_{ref+} 和 V_{ref-} 使得从数字0到1的过渡电压（ V_{ZT} ）为0.0006V，到满量程的过渡电压（ V_{FT} ）为4.9134V。1 LSB = 1.2mV。
B. 满量程值（ V_{FS} ）是具有最高绝对值的步长。零量程值（ V_{ZS} ）是步长值等于零的步长。

图16.理想的转换特性

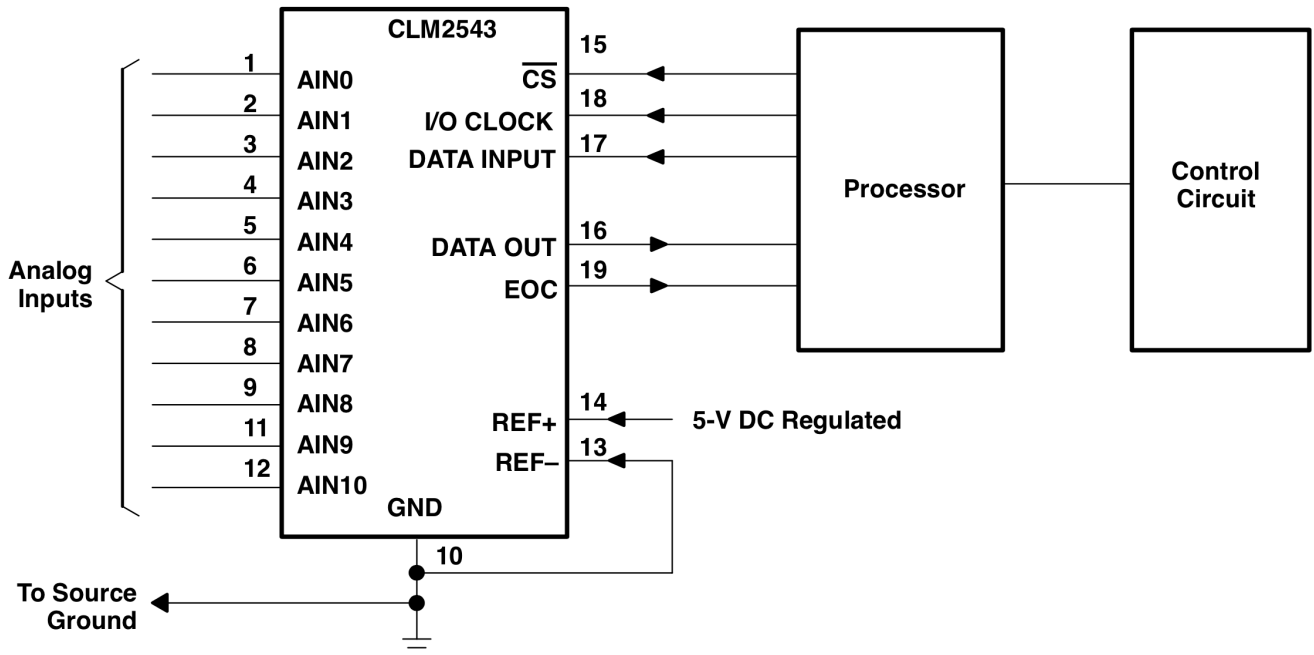


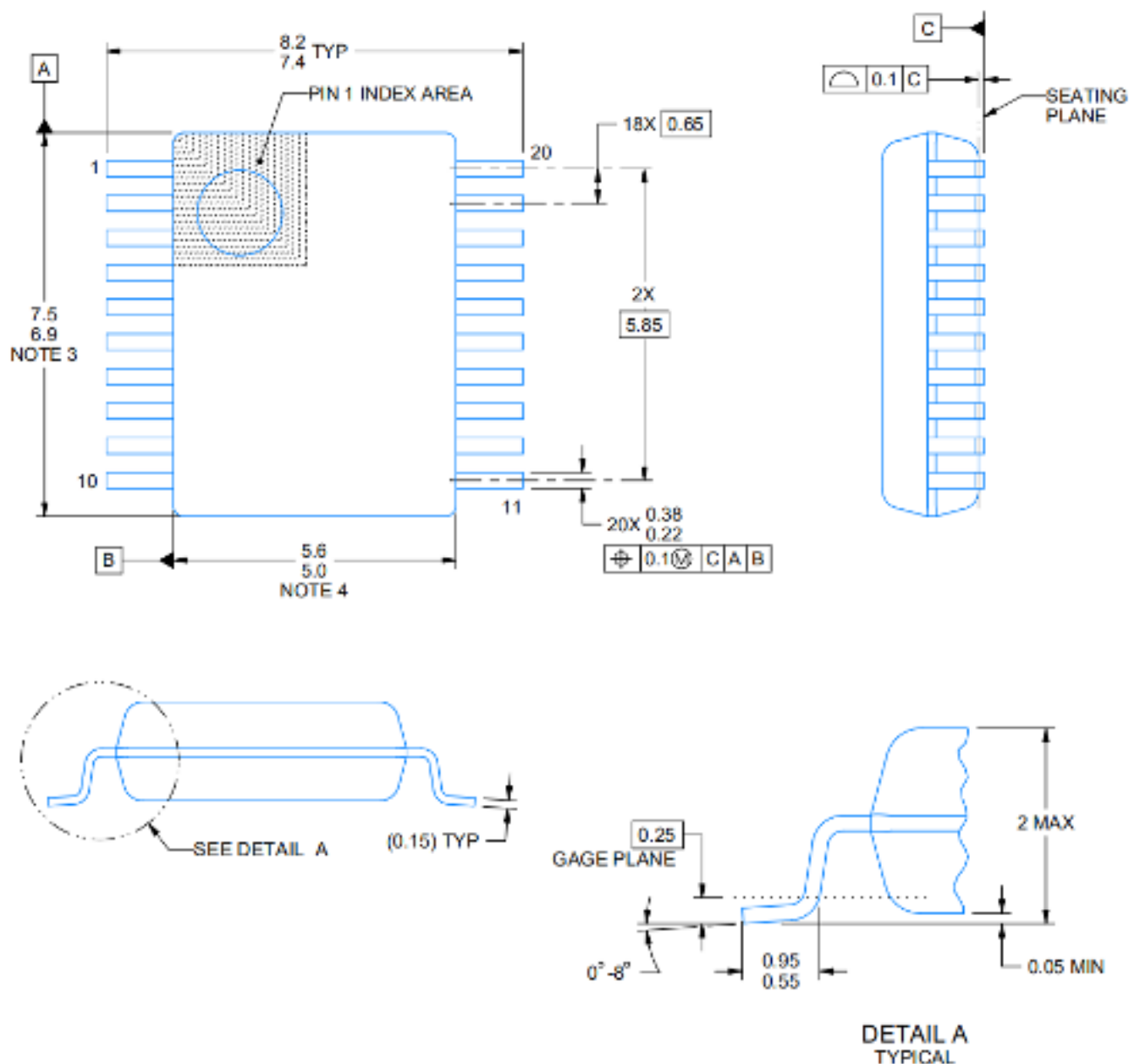
图17.串行接口

18.封装概述

DB0020A

SSOP - 2 mm最大高度

小外形封装



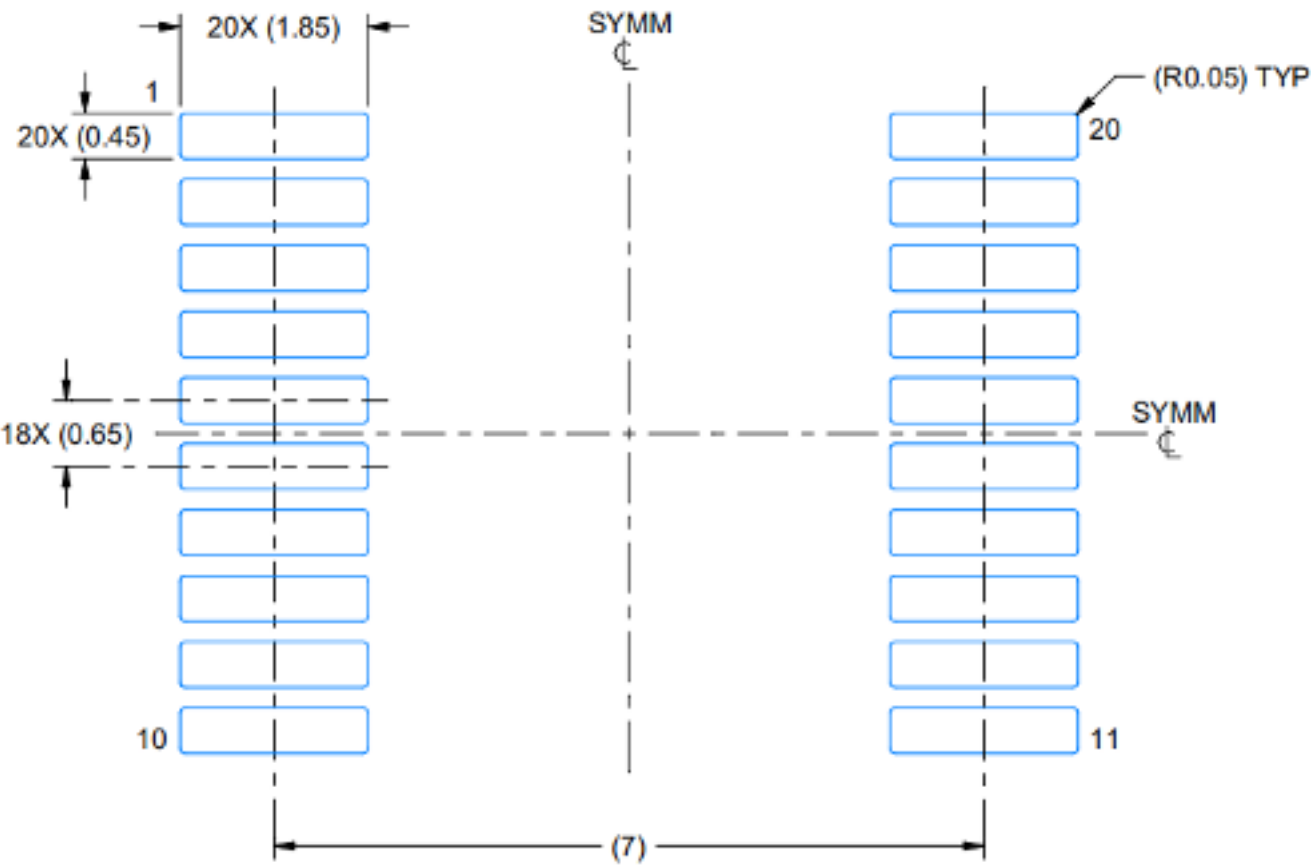
注意：

- 1.所有线性尺寸均为毫米。括号中的任何尺寸仅供参考。尺寸和公差符合ASME Y14.5M。
- 2.此尺寸不包括铸模毛边，突起或浇口毛刺。每侧的毛边，突起或浇口毛刺不得超过0.15毫米。
- 3.此尺寸不包括铅引线间隔中的亮光部分。每侧铅引线间隔中的亮光部分不得超过0.25 mm。

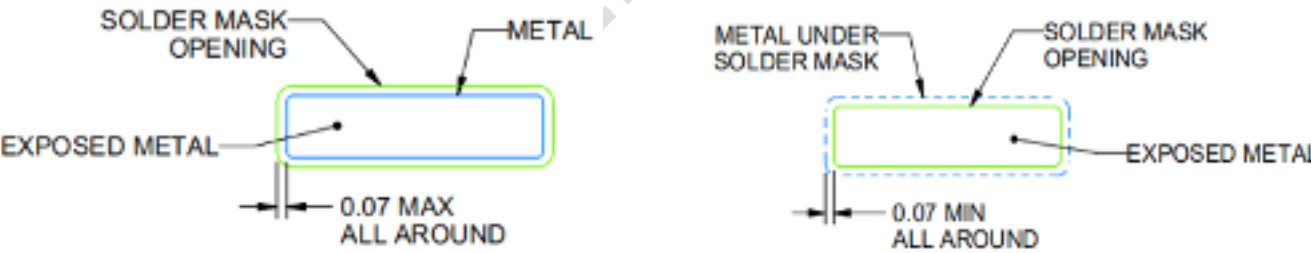
19.封装概述

DB0020A

SSOP - 2 mm最大高度
小外形封装



焊盘布局示例
尺寸：10倍



定义的非焊接面（首选）

定义的焊接面

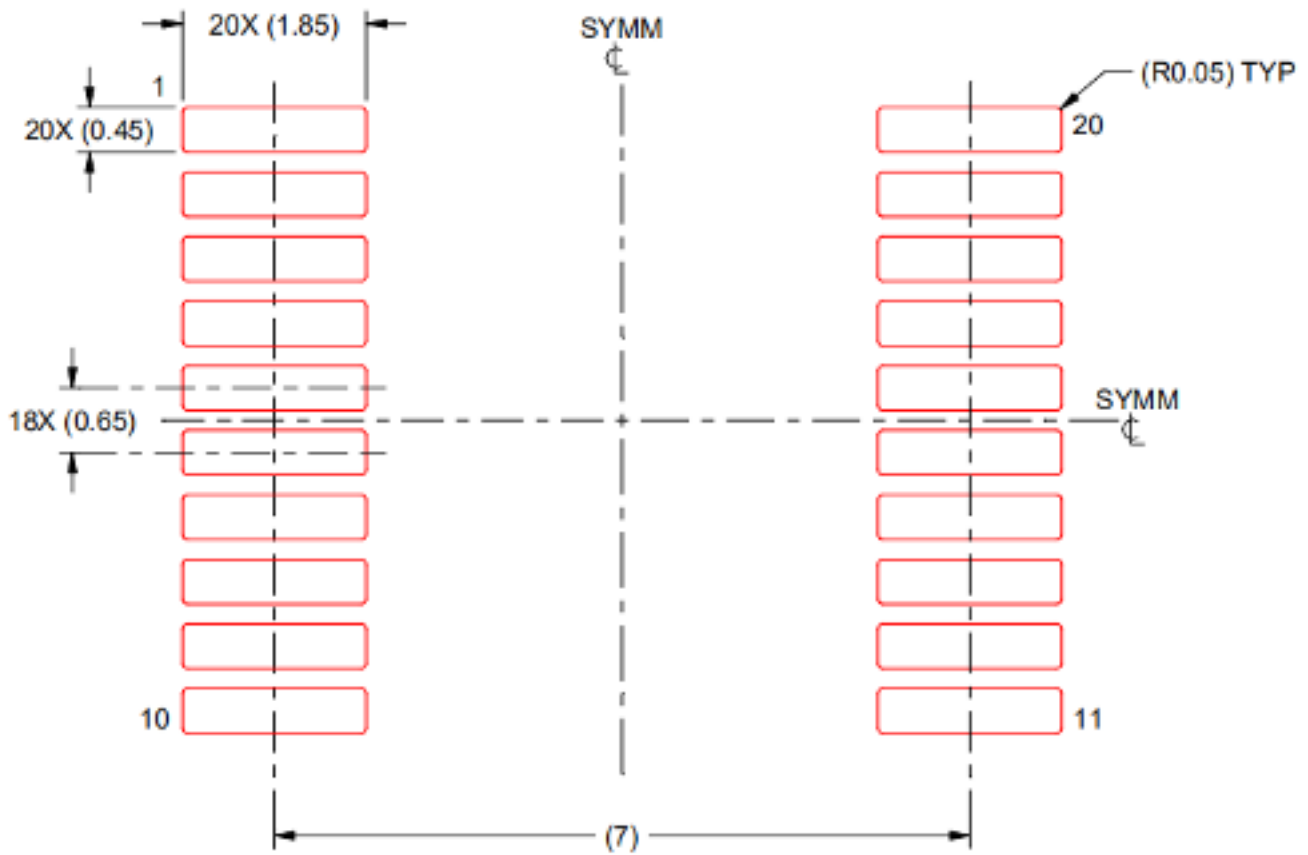
焊锡面细节

20.封装概述

DB0020A

SSOP - 2 mm最大高度

小外形封装

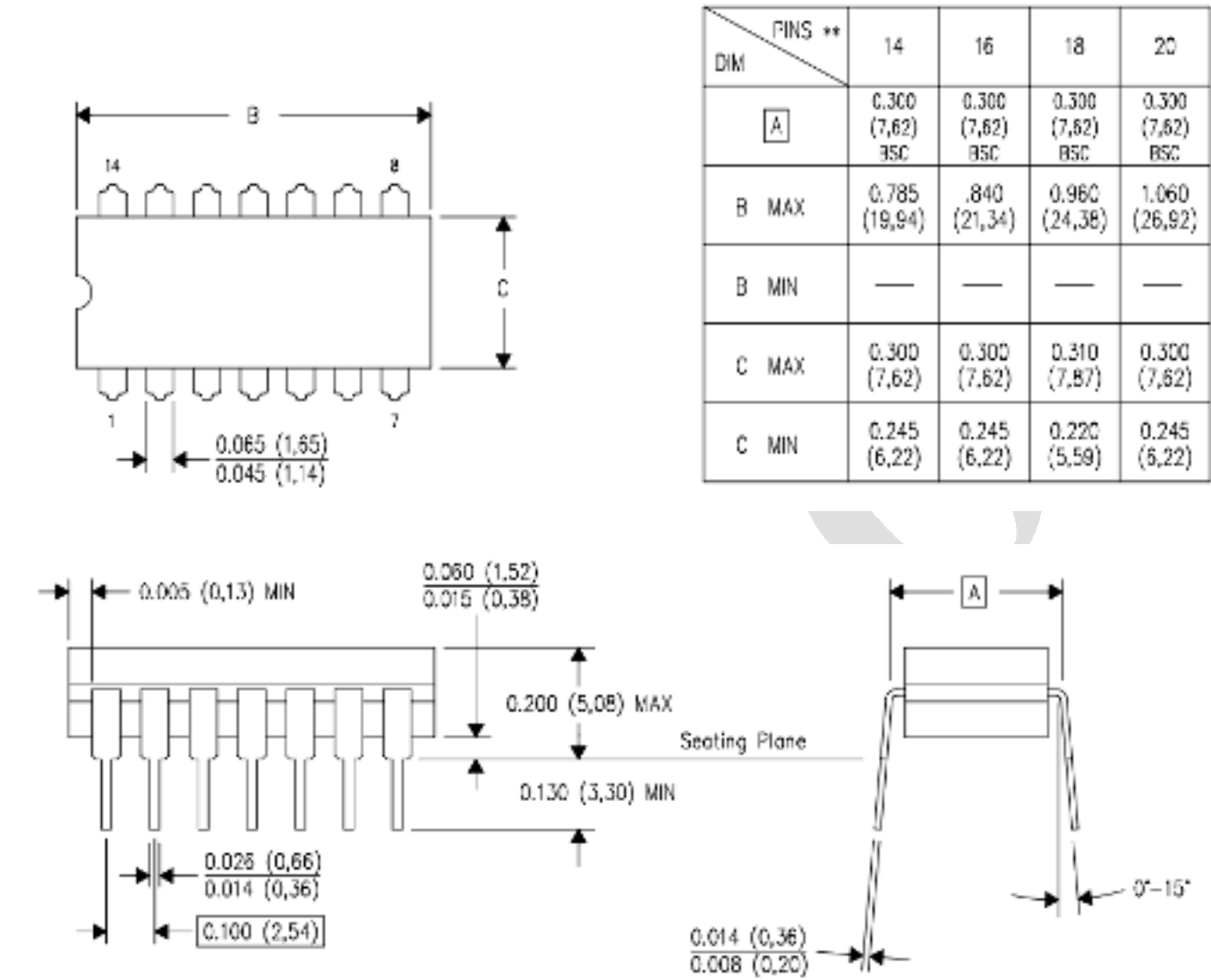


基于0.125毫米厚模板的焊盘示例
尺寸：10倍

21.J (R-GDIP-T**)

14个铅引线示意

陶瓷双列直插式封装

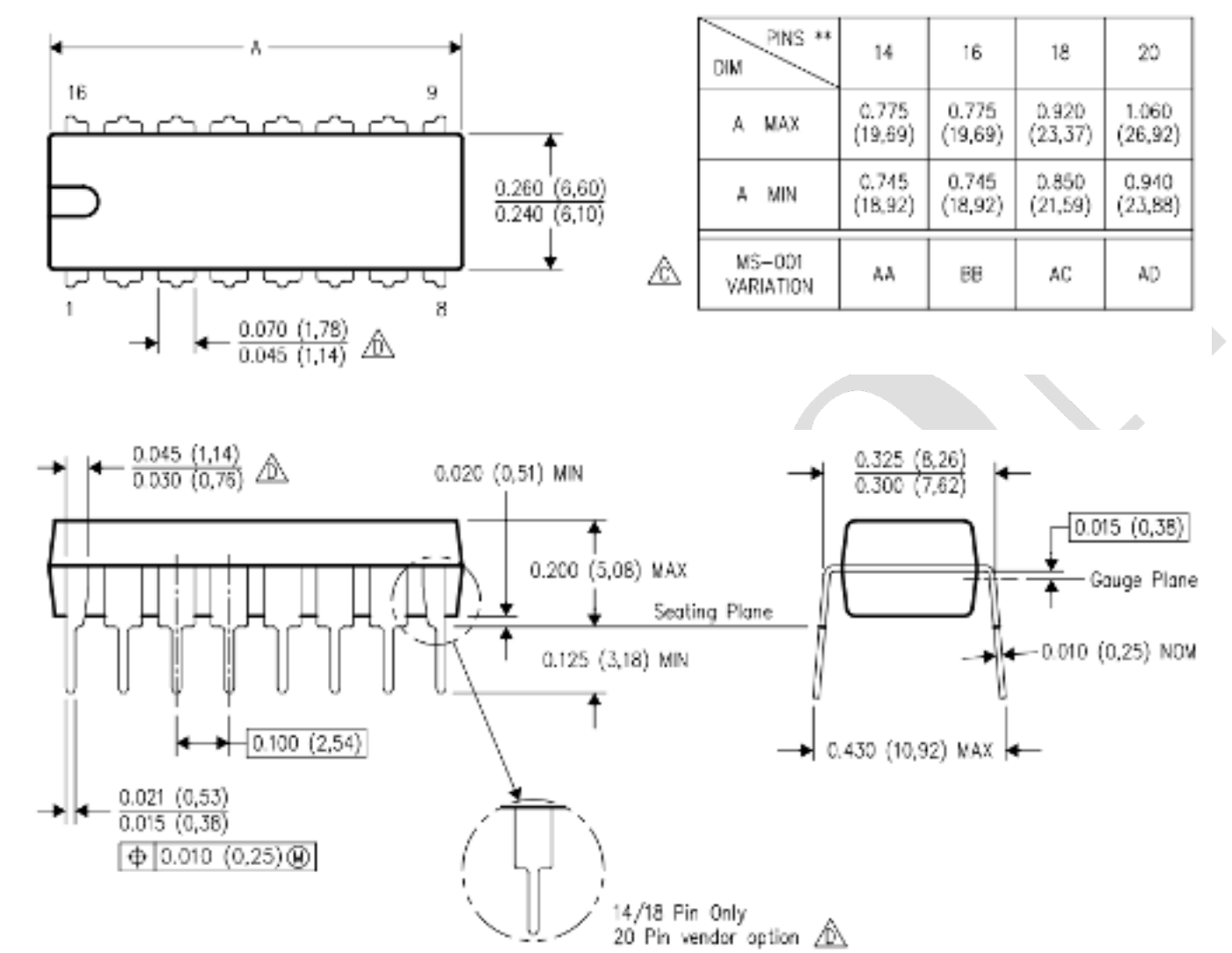


注意： A. 所有线性尺寸均以英寸（毫米）为单位
B. 属于MIL STD 1835 GDIP1-T14 , GDIP1-T16 , GDIP1-T18 and GDIP1-T20。

22.N (R-PDIP-T**)

16引脚示意图

塑料双列直插式封装



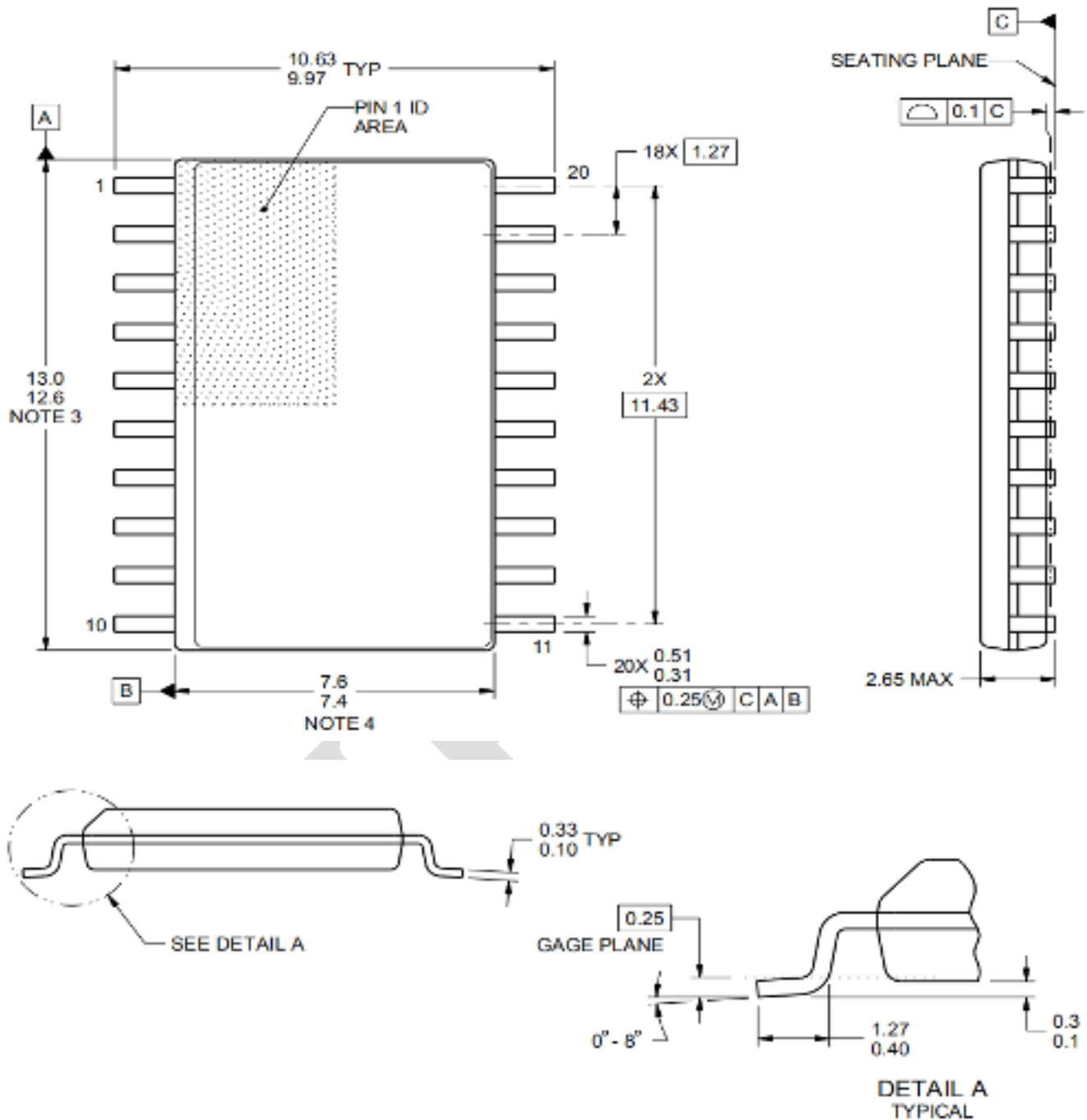
注意：A. 所有线性尺寸均以英寸（毫米）为单位

23.封装概述

DW0020A

SOIC – 2.65 mm最大高度

小外形集成电路封装

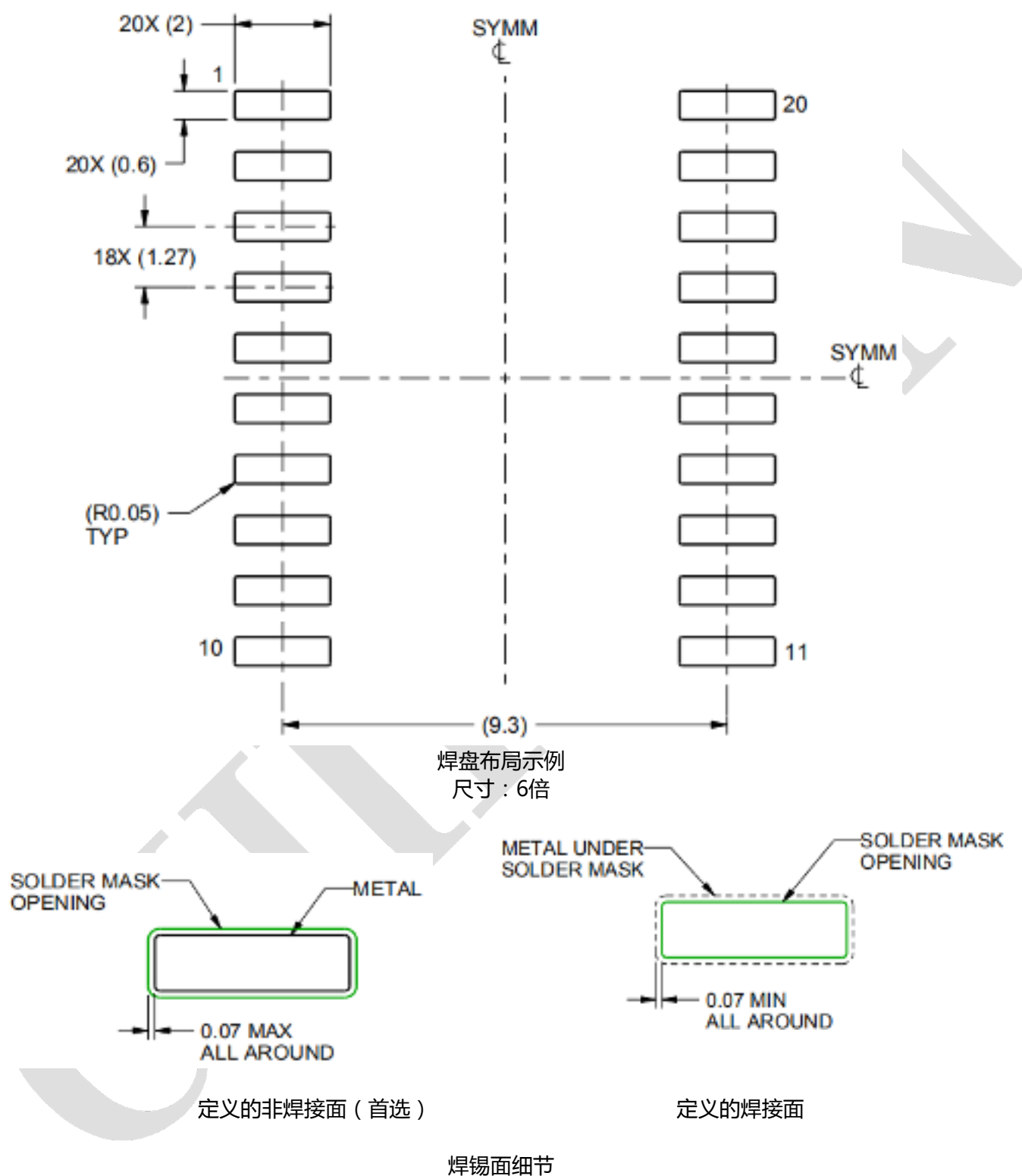


24.示例板布局

DW0020A

SOIC – 2.65 mm最大高度

小外形集成电路封装

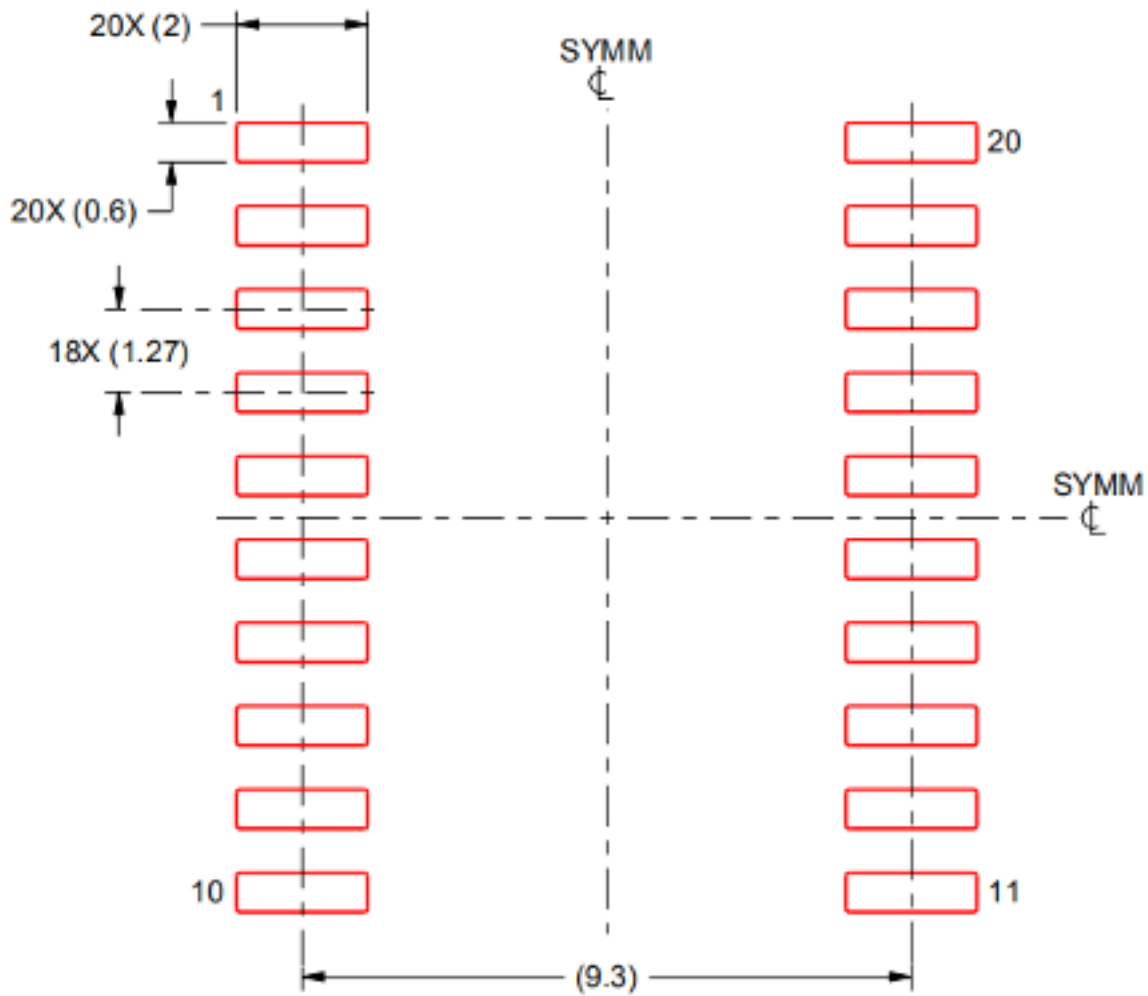


25. 示例板布局

DW0020A

SOIC – 2.65 mm最大高度

小外形集成电路封装



基于0.125毫米厚模板的焊盘示例
尺寸：6倍

26.联系方式

启珑微电子（北京）有限公司

北京市海淀区稻香湖路绿地云谷科技中心7号楼4层

邮政编码：100095

联系电话：+86-10-82466062 62106606

邮箱：sales@chiplon.com

技术支持：support@chiplon.com

网址：www.chiplon.com

Copyright. Chiplon Microelectronics Co., Ltd. All rights are reserved.

The information furnished by Chiplon is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of Chiplon and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of Chiplon. Chiplon products are not authorized for use as critical components in life support devices or systems without express written approval of Chiplon. The Chiplon logo is a registered trademark of Chiplon Microelectronics Co., Ltd. All other names are the property of their respective owners.

