

## CLM82C51A-2

通用同步异步串行接收发送器

### 一般说明

CLM82C51A-2是用于串行数据通信的USART（通用同步异步串行接收发送器）。

作为微型计算机系统的外围器件，CLM82C51A-2从CPU接收并行数据，并在转换后发送串行数据。该器件还从外部接收串行数据，并在转换后将并行数据发送到CPU。

CLM82C51A-2使用硅栅CMOS工艺配置全静态电路。因此，当停止所有操作时，它以极低的功率工作，待机电流为100 $\mu$ A（最大值）。

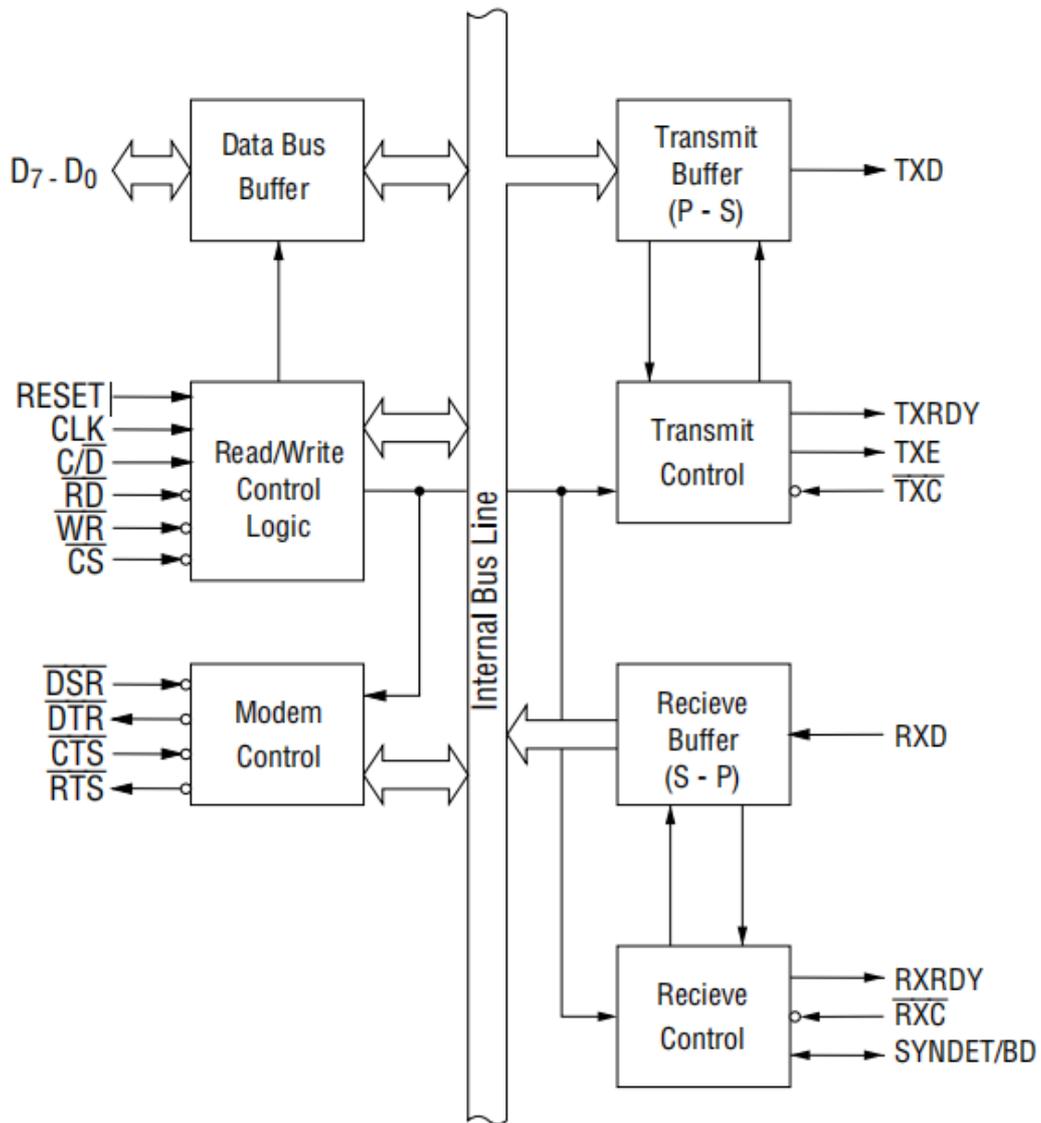
### 特征

- 宽电源电压范围：3V至6V
- 宽温度范围：-40°C至85°C
- 同步通信高达64千波特
- 异步通信高达38.4千波特
- 双缓冲配置下的发送/接收操作
- 错误检测（奇偶校验，溢出和成帧）
- 28-引脚塑料DIP（DIP24-P-600-2.54）：（产品名称：CLM82C51A-2R3）
- 28-引脚塑料QFJ（QFJ28-P-S450-1.27）：（产品名称：CLM82C51A-2J3）
- 32-引脚塑料SSOP（SSOP32-P-430-1.00-K）：（产品名称：CLM82C51A-2G3-K）

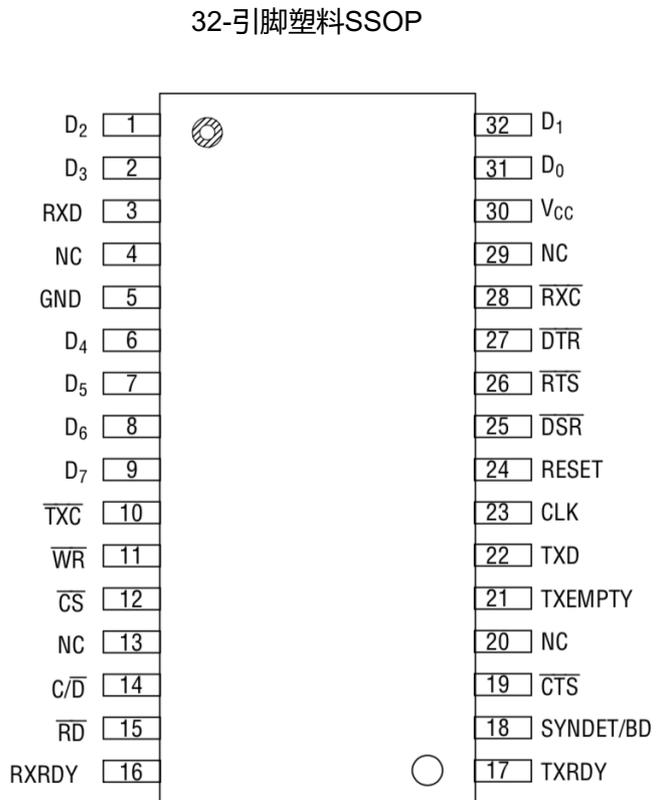
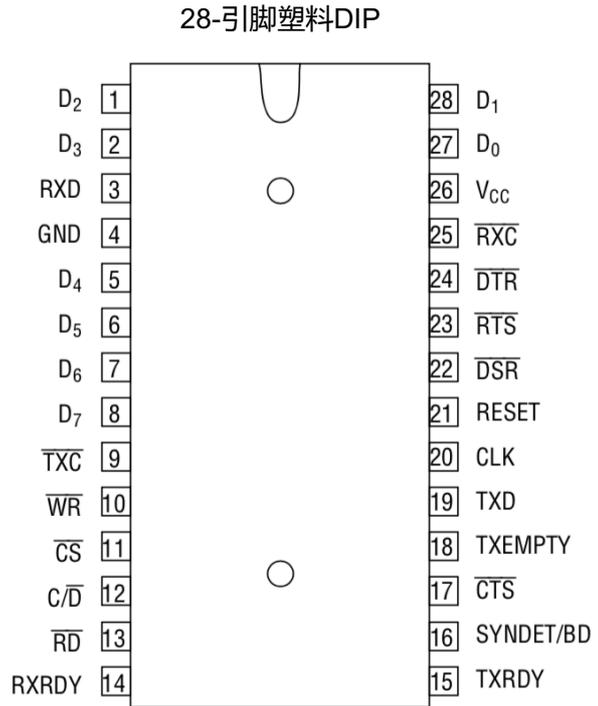
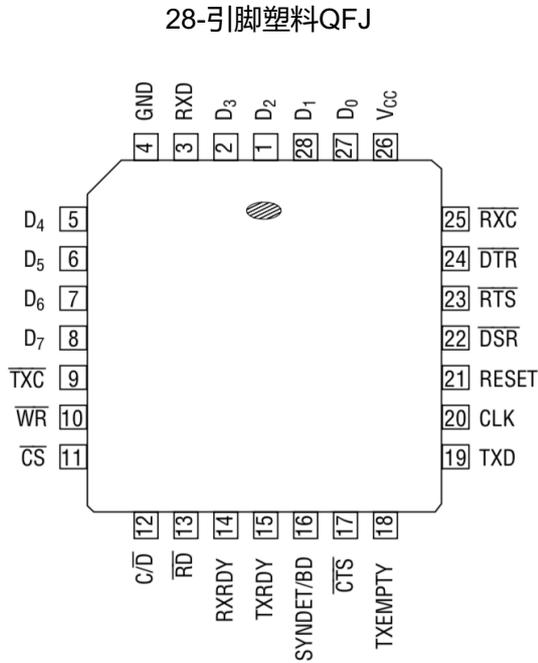
### 订购信息

零件号	温度 范围 (°C)	封装	PKG. DWG. #
CLM82C51A-2R3	-40 ~ +85 °C	DIP-24	V1.1
CLM82C51A-2J3	-40 ~ +85 °C	PLCC-28	V1.2
CLM82C51A-2G3-K	-40 ~ +85 °C	SSOP-32	V1.3

功能框图



## 引脚配置 (俯视图)



## 功能概述

CLM82C51A-2的功能配置由软件编程。

CLM82C51A-2与CPU之间的操作由程序控制执行。表1显示了CPU与器件之间的操作。

表1 MSM82C51A与CPU之间的操作

	$\overline{C/D}$			
1	x	x	x	数据总线三态
0	x	1	1	数据总线三态
0	1	0	1	状态→CPU
0	1	1	0	控制字←CPU
0	0	0	1	数据→CPU
0	0	1	0	数据←CPU

重置CLM82C51A-2之后，有必要执行功能设置序列。功能设置顺序如图1所示。

如果设置了功能，则器件准备接收命令，从而可以通过设置必要的命令、读取状态以及读取/写入数据来进行数据传输。

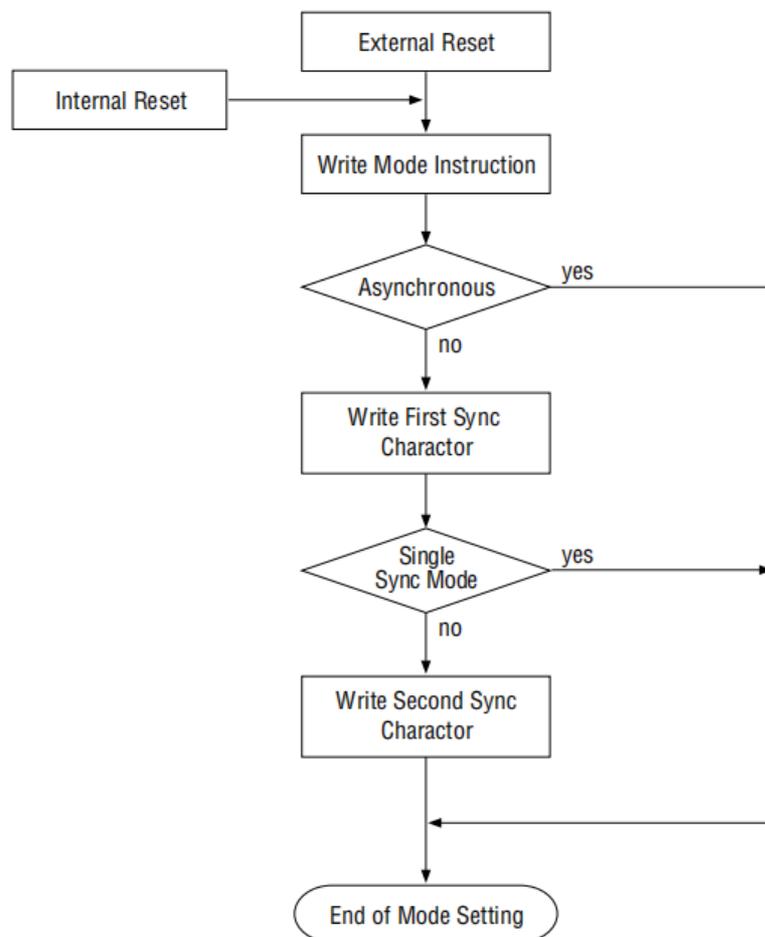


图1功能设定顺序（模式指令顺序）

## 字控制

有两种类型的字控制。

1. 模式指示 (功能设定)
2. 命令 (操作设定)

### 1) 模式说明

模式指令用于设置CLM82C51A-2的功能。内部复位或外部复位时，模式指令将处于“等待写入”状态。即，复位后写入控制字将被识别为“模式指令”。

模式指令设置的项目如下：

- 同步/异步模式
- 停止位长度 (异步模式)
- 字符长度
- 奇偶校验位
- 波特率系数 (异步模式)
- 内部/外部同步 (同步模式)
- 同步字符数 (同步模式)

模式指令的位配置如图2和3所示。在同步模式下，有必要写入一个或两个字节的同步字符。如果写入了同步字符，则将设置功能，因为写入同步字符是模式指令的一部分。

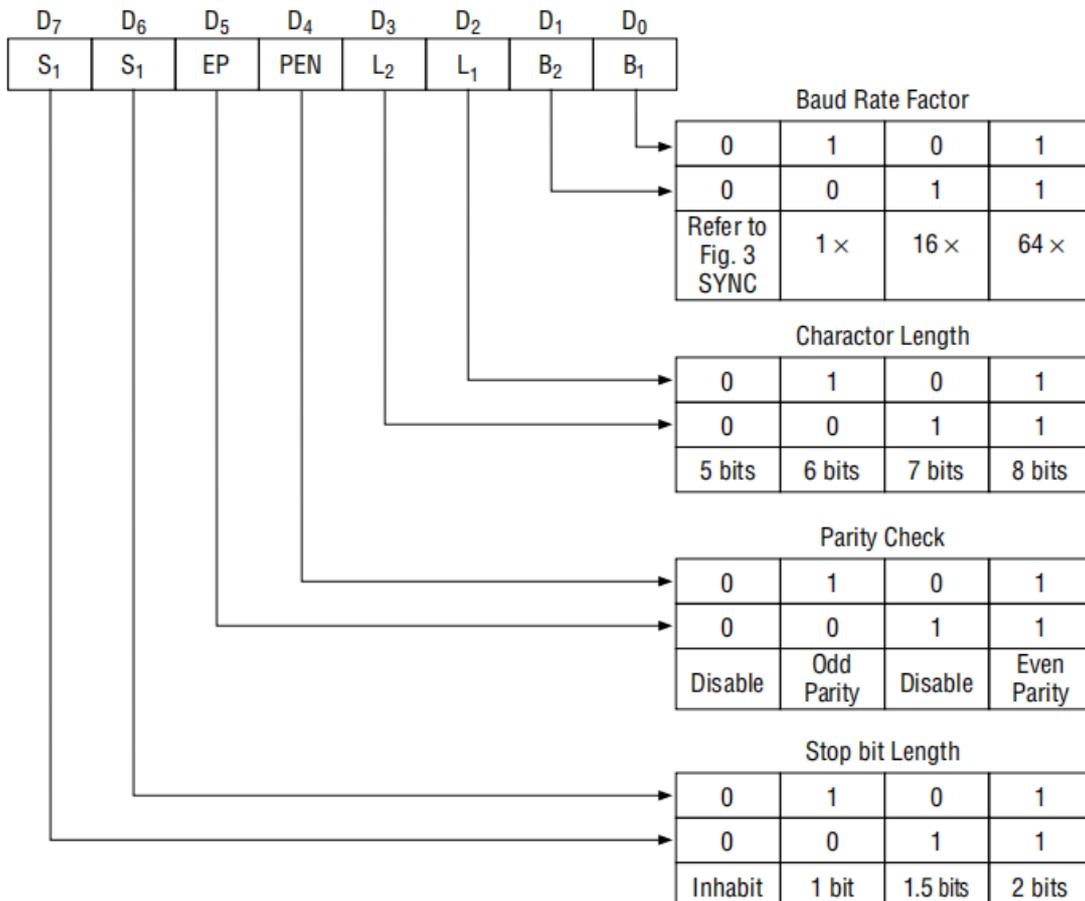


图2模式指令的位配置 (异步)

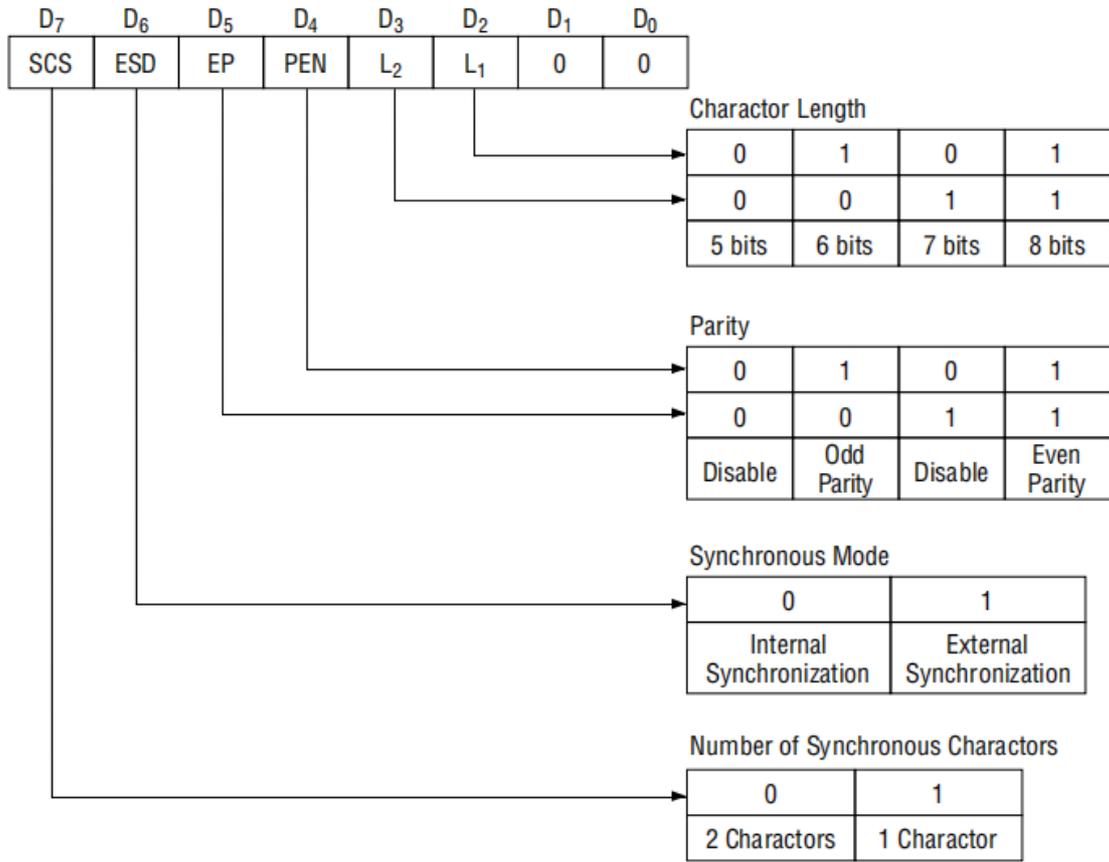


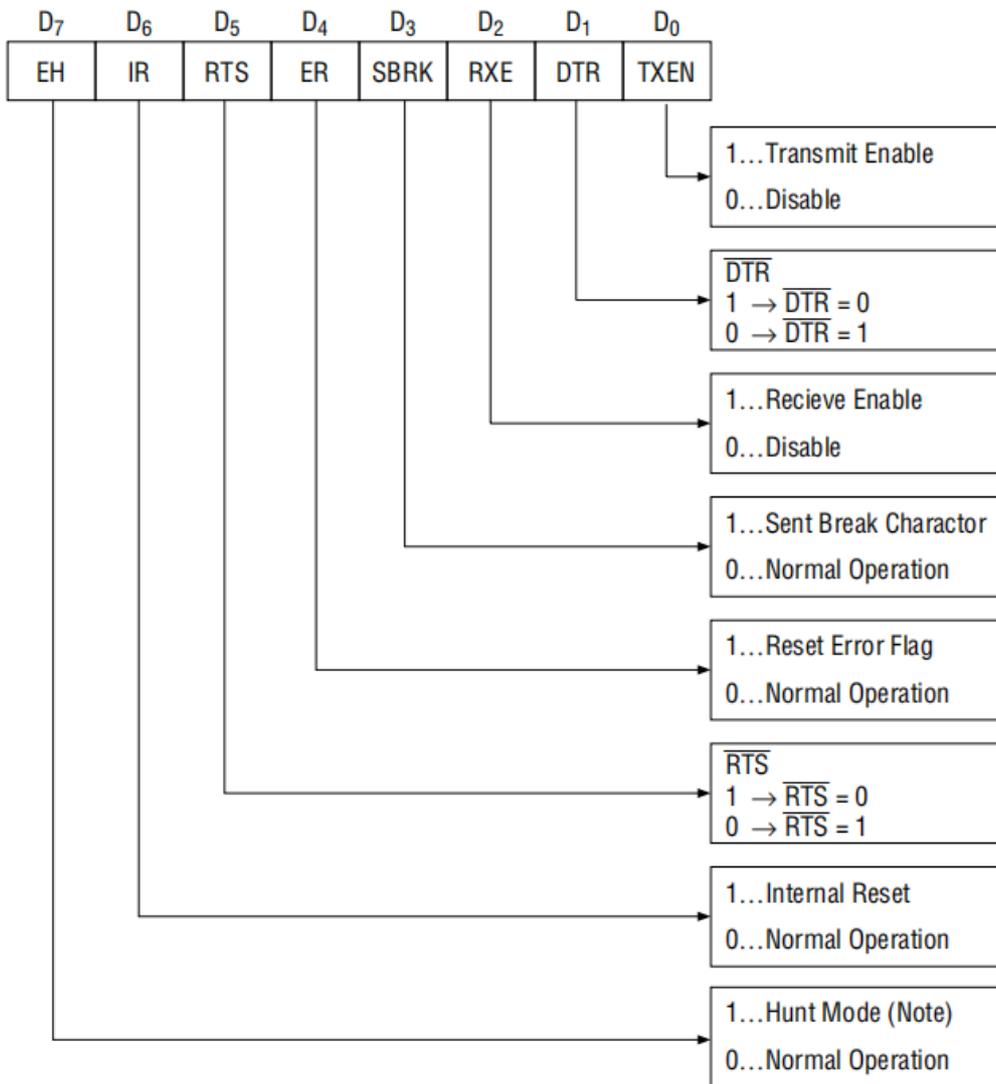
图3模式指令的位配置 ( 同步 )

## 2) 命令

该命令用于设置CLM82C51A-2的操作。  
编写模式指令和同步字符后，可以在必要时编写命令。  
通过命令设置的项目如下：

- 发送开启/禁用
- 接收开启/禁用
- ，数据输出。
- 重置错误标志。
- 发送中断字符
- 内部重置
- 搜索模式（同步模式）

命令的位配置如图4所示。



注意：在同步模式下搜索同步字符。

图4命令的位配置

## 状态字

通过读取状态字可以查看CLM82C51A-2的内部状态。状态字的位配置如图5所示。

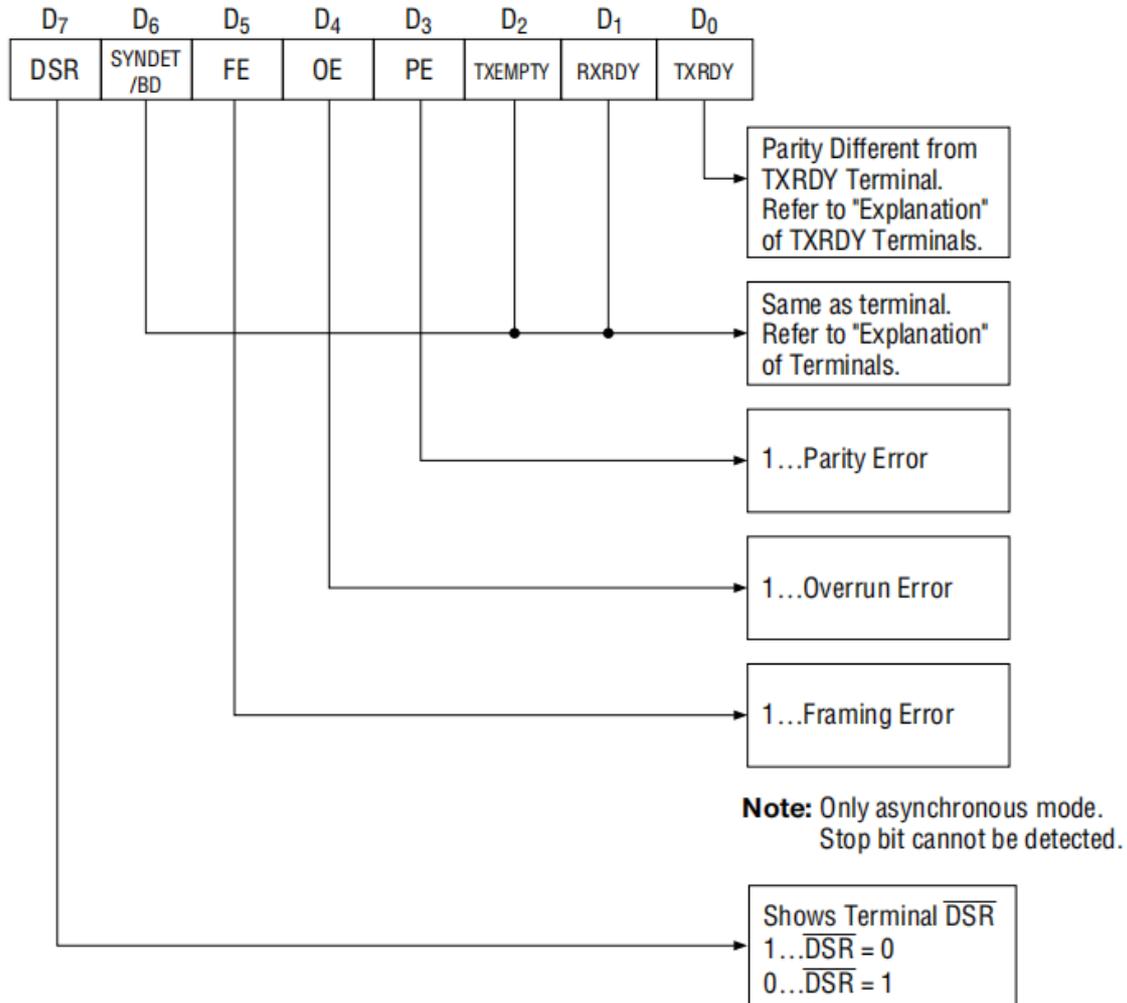


图5状态字的位配置

## 待机状态

可以将CLM82C51A-2置于“待机状态”

满足以下条件时，CLM82C51A-2处于“待机状态”。

(1) 端口固定在Vcc电平。

(2) 除，D0至D7，，和 $\overline{\text{C/D}}$ 以外的输入引脚均固定在Vcc或GND电平（包括外部同步模式下的SYNDET）。

注意：当所有输出电流均为0时，将应用ICCS规范。

---

## 引脚说明

### D0至D7 ( I/O端口 )

这是双向数据总线，它接收控制字和从CPU发送出的数据，并将状态字和接收到的数据发送到CPU。

### RESET ( 输入端口 )

此输入上的“高”电平将使CLM82C51A-2进入“复位状态”。

器件等待“模式指令”的写入。

最小复位宽度为CLK工作状态下的六个时钟输入。

### CLK ( 输入端口 )

CLK信号用于产生器件内部时序。

CLK信号独立于或。

但是，在同步模式和异步“×1”模式下，CLK的频率必须大于和的30倍，在异步“×16”和“×64”模式下，CLK的频率必须大于和的5倍。

### ( 输入端口 )

这是“低电平有效”输入端口，该端口接收用于将发送数据和控制字从CPU写入CLM82C51A-2的信号。

### ( 输入端口 )

这是“低电平有效”输入端口，接收信号以读取来自CLM82C51A-2的接收数据和状态字。

### $C/\overline{D}$ ( 输入端口 )

这是一个输入端口，当CPU访问CLM82C51A-2时，它会接收用于选择数据或命令字和状态字的信号。

如果 $C/\overline{D}$ =低电平，将访问数据。

如果 $C/\overline{D}$ =高电平，将访问命令字或状态字。

### ( 输入端口 )

这是“低电平有效”输入端口，当CPU访问时，它以低电平选择CLM82C51A-2。

注意：器件不会处于“待机状态”；仅设置=高电平。

请参阅“待机状态说明”。

### TXD ( 输出端口 )

这是用于传输数据的输出端口，从该端口发出串行转换后的数据。

重置后或禁用传输时，器件处于“标记状态”（高电平）。也可以通过命令将器件设置为“中断状态”（低电平）。

---

## **TXRDY ( 输出端口 )**

这是一个输出端口，指示CLM82C51A-2准备接收已传输的数据字符。但是，如果=高电平或命令将器件设置为“TX禁用状态”，则该端口始终处于低电平。

注意：TXRDY状态字表示无论或命令如何，都可以接收发送数据字符。  
如果CPU写入数据字符，则TXRDY将通过上升沿或WR信号复位。

## **TXEMPTY ( 输出端口 )**

这是一个输出端口，指示CLM82C51A-2已发送所有字符且没有数据字符。

在“同步模式”下，如果不再保留发送数据字符并且自动发送同步字符，则该端口处于高电平。如果CPU写入数据字符，TXEMPTY将在信号的上升沿复位。

## **( 输入端口 )**

这是一个时钟输入信号，它确定传输数据的传输速度。

在“同步模式”下，波特率将与的频率相同。

在“异步模式”下，可以通过模式指令选择波特率因子。

它可以是的1、1/16或1/64。

的下降沿将串行数据从CLM82C51A-2中筛选出来。

## **RXD ( 输入端口 )**

这是一个接收串行数据的端口。

## **RXRDY ( 输出端口 )**

该端口指示CLM82C51A-2包含准备读取的字符。

如果CPU读取数据字符，则RXRDY将在信号的上升沿复位。

除非CPU在完全接收下一个字符之前读取了一个数据字符，否则先前的数据将丢失。在这种情况下，将设置溢出错误标志状态字。

## **( 输入端口 )**

这是一个时钟输入信号，它确定接收数据的传输速度。

在“同步模式”下，波特率将与的频率相同。

在“异步模式”下，可以通过模式指令选择波特率因子。

它可以是的1、1/16、1/64。

## **SYNDET/BD ( 输入或输出端口 )**

这是功能根据模式而变化的端口。

在“内部同步模式”下。如果接收并同步了同步字符，则此端口为高电平。如果读取状态字，则将重置端口。

在“外部同步模式”下，这是输入端口。

此输入的“高”电平将迫使CLM82C51A-2开始接收数据字符。

在“异步模式”下，如果接收器数据在两个连续字符的停止位之间包含“低电平”，则该输出端口会在检测到“中断”字符时生成“高电平”输出。如果RXD为高电平，则该端口将被重置。

复位有效后，该端口将输出低电平。

### **( 输入端口 )**

这是MODEM接口的输入端口。可以通过CPU读取状态字来识别端口的输入状态。

### **( 输出端口 )**

这是MODEM接口的输出端口。可以通过命令设置的状态。

### **( 输入端口 )**

这是MODEM接口的输入端口，用于控制发射电路。如果通过命令将器件设置为“TX使能”状态，则端口将控制数据传输。如果该端口处于低电平，则数据可以传输。

### **( 输出端口 )**

这是MODEM接口的输出端口。可以通过命令设置状态。

## 绝对最大额定值

参数	符号	等级			单位	条件
		CLM82C51A-2R3	CLM82C51A-2GS	CLM82C51A-2J3		
电源电压	$V_{CC}$	-0.5 ~ +7			V	相对GND
输入电压	$V_{IN}$	-0.5 ~ $V_{CC} + 0.5$			V	
输出电压	$V_{OUT}$	-0.5 ~ $V_{CC} + 0.5$			V	
存储温度	$T_{STG}$	-55 ~ + 150			°C	-
功耗	$P_D$	0.9	0.7	0.9	W	$T_a = 25^{\circ}C$

## 工作范围

参数	符号	范围	单位
电源电压	$V_{CC}$	3 ~ 6	V
工作温度	$T_{OP}$	-40 ~ +85	°C

## 推荐工作条件

参数	符号	最小值	典型值	最大值	单位
电源电压	$V_{CC}$	4.5	5	5.5	V
工作温度	$T_{OP}$	-40	+25	+85	°C
"L" 输入电压	$V_{IL}$	-0.3	-	+0.8	V
"H" 输入电压	$V_{IH}$	2.2	-	$V_{CC} + 0.3$	V

## 直流特性

( $V_{CC} = 4.5 \sim 5.5V$ ,  $T_a = -40^{\circ}C$  to  $+85^{\circ}C$ )

参数	符号	最小值	典型值	最大值	单位	测试条件
"L" 输出电压	$V_{OL}$	-	-	0.45	V	$I_{OL} = 2.5mA$
"H" 输出电压	$V_{OH}$	3.7	-	-	V	$I_{OH} = -2.5mA$
输入漏电流	$I_{LI}$	-10	-	10	$\mu A$	$0 \leq V_{IN} \leq V_{CC}$
输出漏电流	$I_{LO}$	-10	-	10	$\mu A$	$0 \leq V_{OUT} \leq V_{CC}$
工作电源电流	$I_{CCD}$	-	-	5	mA	传输/接收过程中的异步×64
待机电源电流	$I_{CCS}$	-	-	100	$\mu A$	所有输入电压应固定在 $V_{CC}$ 或GND电平。

## 交流特性

### CPU总线接口部分

( $V_{CC} = 4.5 \sim 5.5V$ ,  $T_a = -40 \sim +85^{\circ}C$ )

参数	符号	最小值	最大值	单位	备注
前的地址稳定	$t_{AR}$	20	-	ns	注2
地址保持时间	$t_{RA}$	20	-	ns	注2
脉冲宽度	$t_{RR}$	130	-	ns	-
数据延迟	$t_{RD}$	-	100	ns	-
到数据浮动	$t_{DF}$	10	75	ns	-
间的恢复时间	$t_{RVR}$	6	-	$t_{CY}$	注5
前的地址保持	$t_{AW}$	20	-	ns	注2
地址保持时间	$t_{WA}$	20	-	ns	注2
脉冲宽度	$t_{WW}$	100	-	ns	-
数据设置时间	$t_{DW}$	100	-	ns	-
数据保持时间	$t_{WD}$	0	-	ns	-
间恢复时间	$t_{RVW}$	6	-	$t_{CY}$	注4
RESET脉冲宽度	$t_{RESW}$	6	-	$t_{CY}$	-

## 串行接口部分

( $V_{CC} = 4.5 \sim 5.5V$ ,  $T_a = -40 \sim +85^\circ C$ )

参数	符号	最小值	最大值	单位	备注	
主时钟周期	$t_{CY}$	160	-	ns	注3	
时钟低时间	$t_{\phi}^-$	50	-	ns	-	
时钟高时间	$t_{\phi}^+$	70	$t_{CY} - 50$	ns	-	
时钟上升/下降时间	$t_r, t_f$	-	20	ns	-	
从下降沿开始的TXD延迟	$t_{DTX}$	-	1	$\mu s$	-	
发射器时钟频率	1×波特	$f_{TX}$	DC	64	KHz	注3
	16×波特	$f_{TX}$	DC	615	KHz	
	64×波特	$f_{TX}$	DC	615	KHz	
发送器时钟低电平时间	1×波特	$t_{TPW}$	13	-	$t_{CY}$	-
	16×, 64×波特	$t_{TPW}$	2	-	$t_{CY}$	-
发送器时钟高电平时间	1×波特	$t_{TPD}$	15	-	$t_{CY}$	-
	16×, 64×波特	$t_{TPD}$	3	-	$t_{CY}$	-
接收器时钟频率	1×波特	$f_{RX}$	DC	64	KHz	注3
	16×波特	$f_{RX}$	DC	615	KHz	
	64×波特	$f_{RX}$	DC	615	KHz	
接收器时钟低电平时间	1×波特	$t_{RPW}$	13	-	$t_{CY}$	-
	16×, 64×波特	$t_{RPW}$	2	-	$t_{CY}$	-
接收器时钟高电平时间	1×波特	$t_{RPD}$	15	-	$t_{CY}$	-
	16×, 64×波特	$t_{RPD}$	3	-	$t_{CY}$	-
从最后一位的中心到TXRDY上升的时间	$t_{TXRDY}$	-	8	$t_{CY}$	-	
从前沿到TXRDY下降的时间	$t_{TXRDY CLEAR}$	-	400	ns	-	
从最后一位的中心到RXRDY上升的时间	$t_{RXRDY}$	-	26	$t_{CY}$	-	
从前沿到RXRDY下降的时间	$t_{RXRDY CLEAR}$	-	400	ns	-	
从上升沿开始的内部SYNDET延迟时间	$t_{IS}$	-	26	$t_{CY}$	-	
的SYNDET建立时间	$t_{ES}$	18	-	$t_{CY}$	-	
从最后一位开始的TXE延迟时间	$t_{TXEMPTY}$	20	-	$t_{CY}$	-	
从的上升沿开始的MODEM控制信号延迟时间	$t_{WC}$	8	-	$t_{CY}$	-	
下降沿的MODEM控制信号建立时间	$t_{CR}$	20	-	$t_{CY}$	-	
上升沿的RXD建立时间 (1X波特)	$t_{RXDS}$	11	-	$t_{CY}$	-	
下降沿的RXD保持时间 (1X波特)	$t_{RXDH}$	17	-	$t_{CY}$	-	

注意：1. 交流特性是在输出负载电容为150pF时测量的，输出低电平为0.8V，高电平为2.2V，输入为电平为1.5V。

2. 地址为和 $C/\bar{D}$ 。

3.  $f_{TX}/f_{RX} \leq 1/(30t_{CY})$  1×波特

$f_{TX}/f_{RX} \leq 1/(5t_{CY})$  16×, 64×波特

4. 此恢复时间仅是模式初始化。异步模式下命令写入之间的恢复时间为 $8t_{CY}$ ，同步模式下命令写入之间的恢复时间为 $18t_{CY}$ 。仅当TXRDY = 1时才允许写入数据。

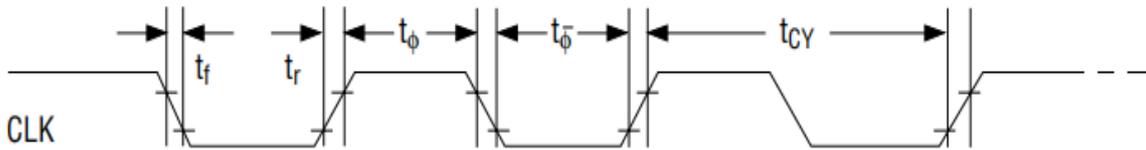
5. 此恢复时间为状态只读。

仅当RXRDY = 1时才允许读取数据。

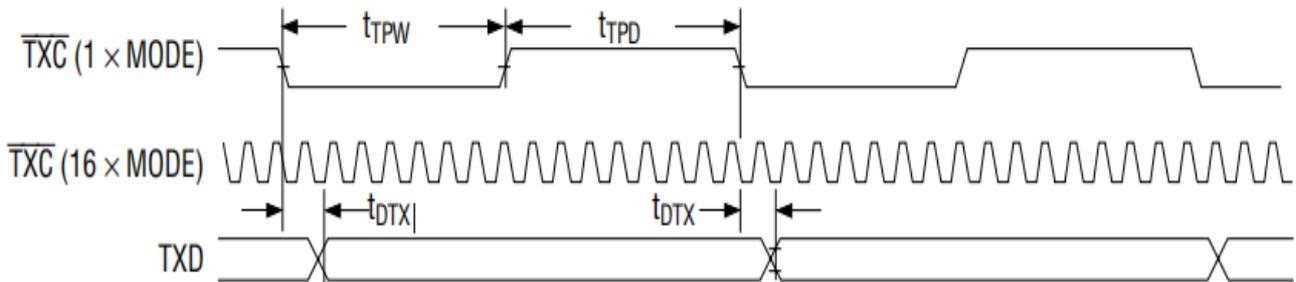
6. 从影响状态的事件起，状态更新最多可具有28个时钟周期的延迟。

## 时序表

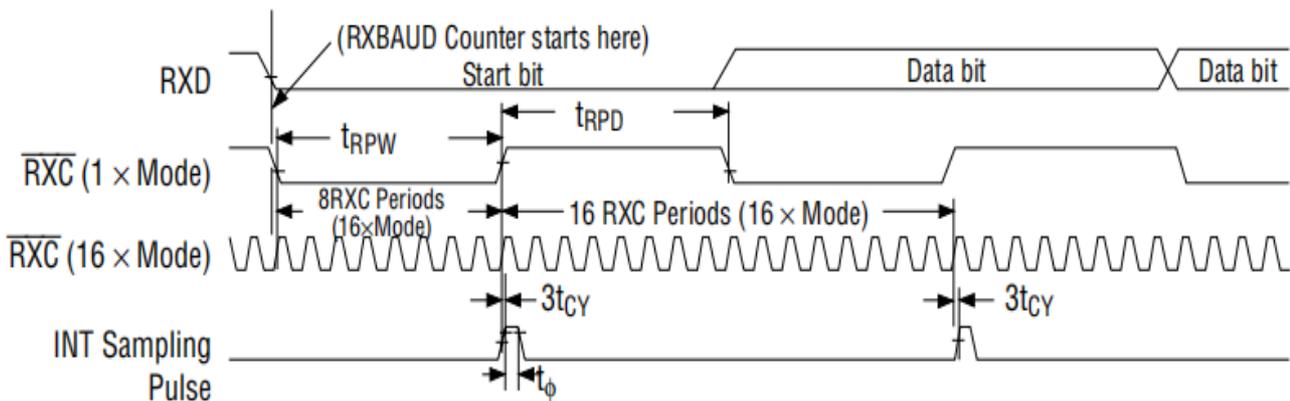
### 系统时钟输入



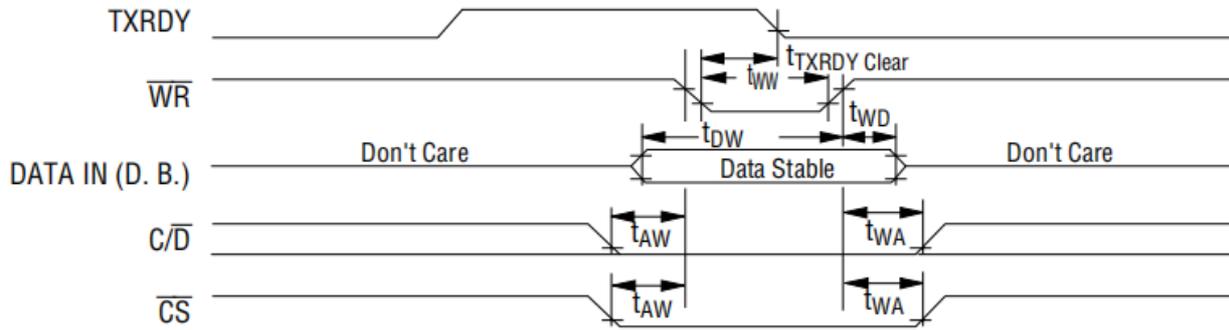
### 发射器时钟和数据



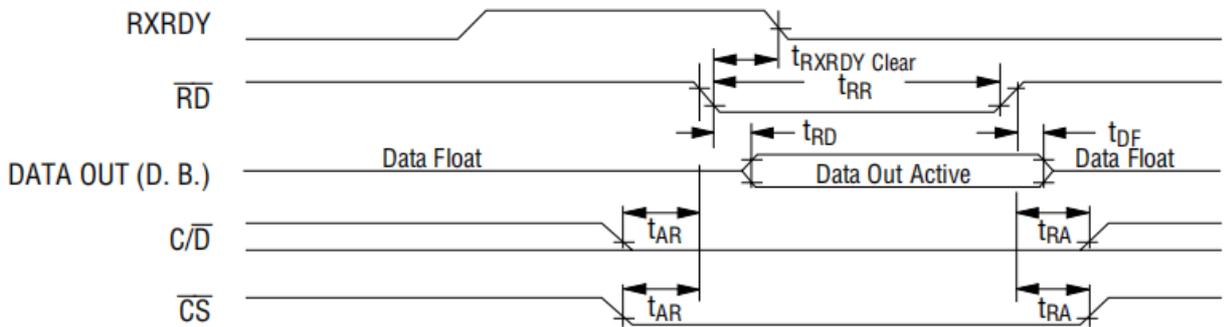
### 接收器时钟和数据



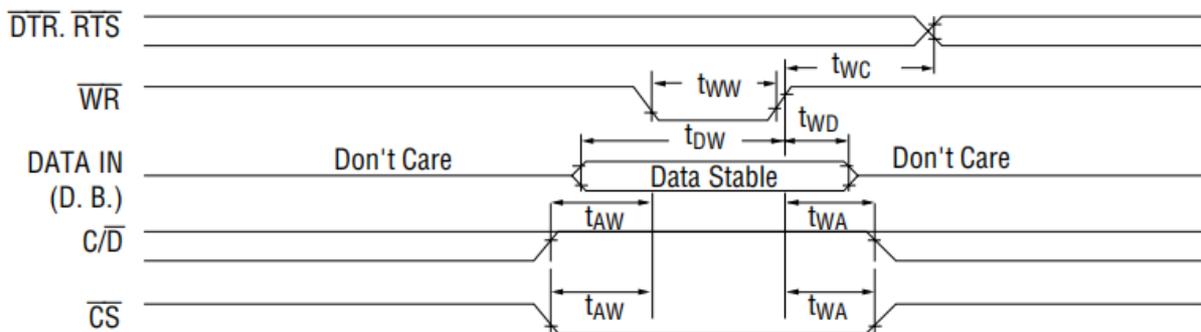
### 写入数据周期 ( CPU → USART )



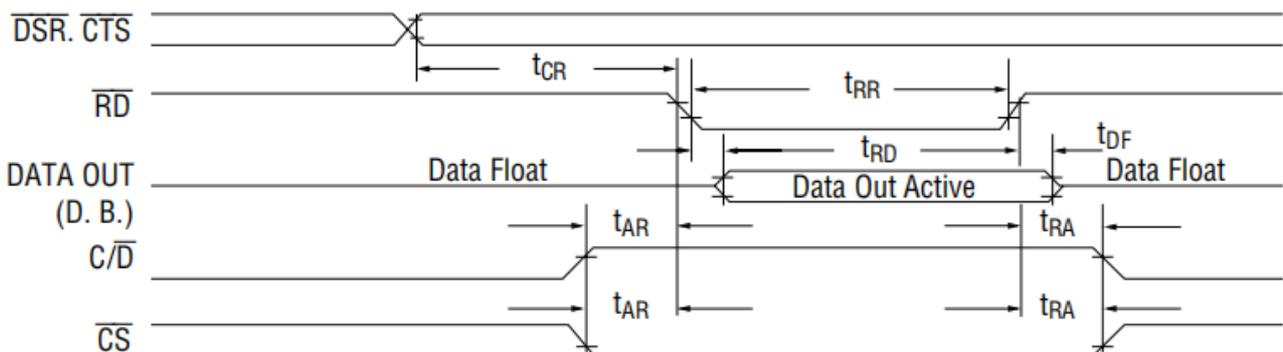
### 读取数据周期 ( CPU ← USART )



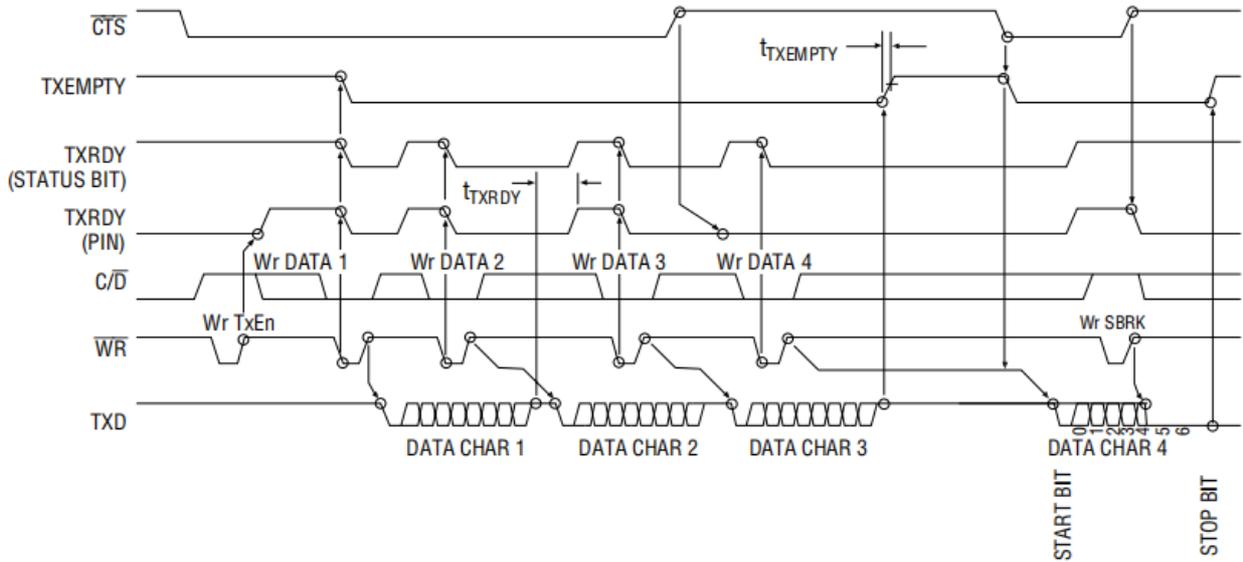
### 写控制或输出端口周期 ( CPU → USART )



### 读控制或输入端口周期 ( CPU ← USART )

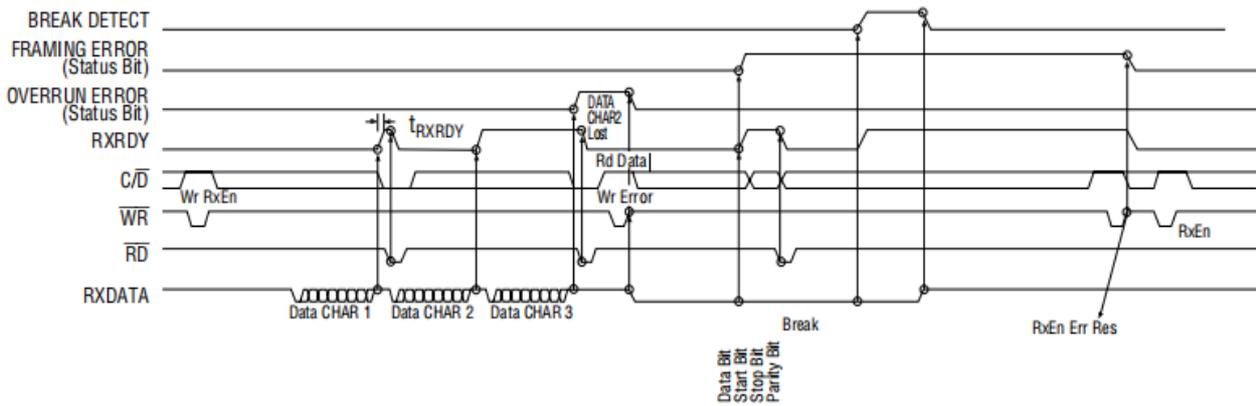


## 发送器控制和标志定时 (ASYNC模式)



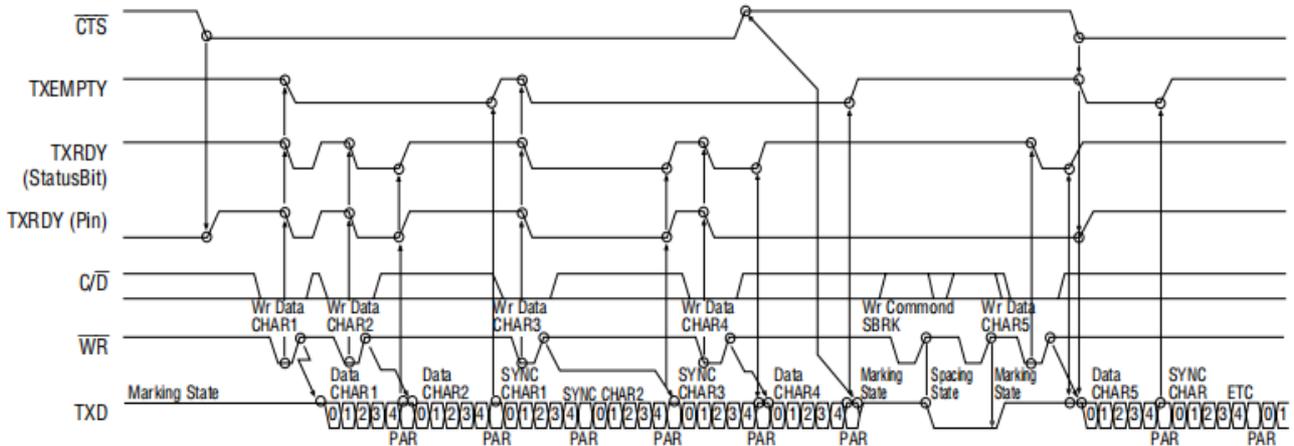
注意：波形图基于7位数据长度+奇偶校验位+ 2个停止位的情况。

## 接收器控制和标志定时 (ASYNC模式)



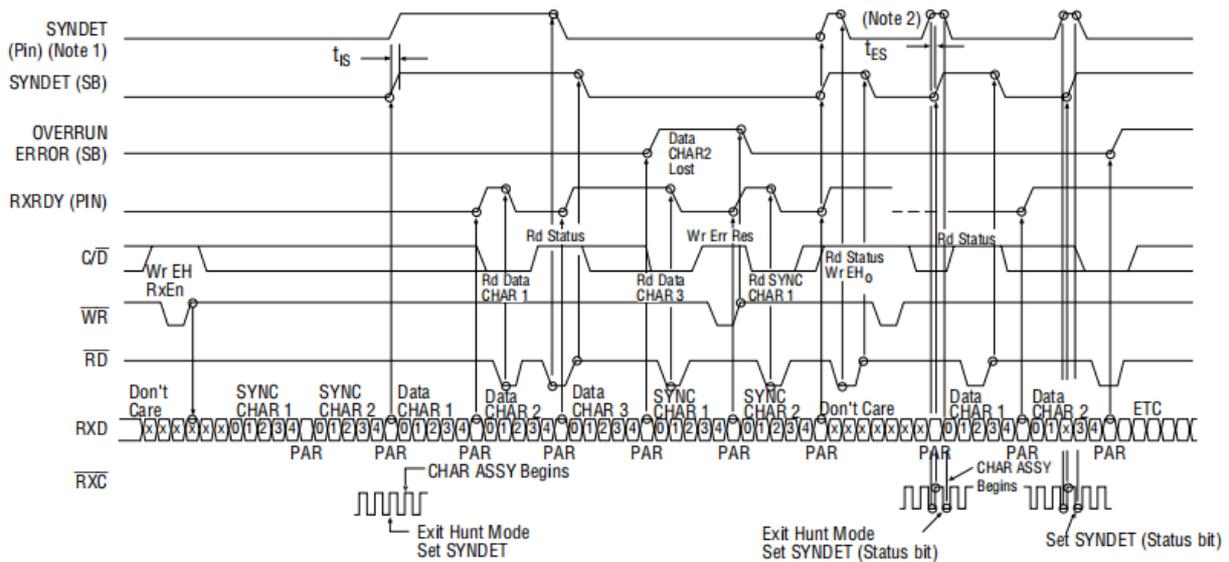
注意：波形图基于7个数据位长+奇偶校验位+ 2个停止位的情况。

## 发送器控制和标志定时 (SYNC模式)



注意：波形图基于5个数据位长+奇偶校验位和2个同步字符的情况。

## 接收器控制和标志定时 (SYNC模式)



- 注意：1. 内部同步基于5个数据位长+奇偶校验位和2个同步字符的情况。  
2. 外部同步基于5个数据位长+奇偶校验位的情况。

### 注意：1. 起始位的半位处理

在异步模式下使用CLM82C51A-2时，对于长度小于1数据位长度的起始位的处理会引起一些问题。（见图1。）

起始位长度	模式	运作方式
小于7个接收器时钟长度	×16	短起始位被忽略。（正常情况下）
小于31个接收器时钟长度	×64	短起始位被忽略。（正常情况下）
8个接收器时钟长度	×16	由于故障，无法正确接收数据。
32个接收器时钟长度	×64	由于故障，无法正确接收数据。
9至16个接收器时钟长度	×16	该位被视为起始位。（正常情况下）
33至64个接收器时钟长度	×64	该位被视为起始位。（正常情况下）

### 2. 收到中断信号后的奇偶校验标志（见图2）。

当CLM82C51A-2在异步模式下使用时，可以设置奇偶校验标志。

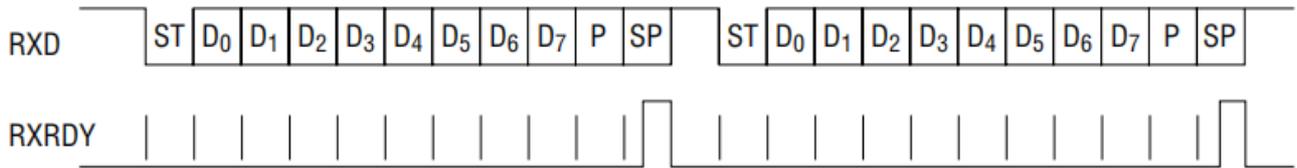
在收到中断信号后读取下一个普通数据。

当中断信号的上升沿（中断信号的结尾）在最终数据位和奇偶校验位之间改变时，可能不会通过RXRDY信号输出来设置奇偶校验标志。

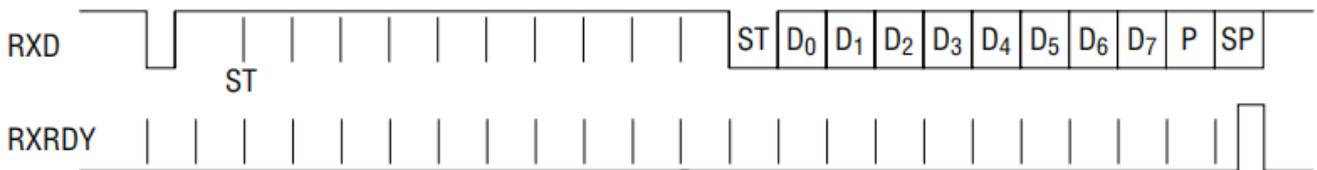
如果发生这种情况，则在接收到下一个正常数据时，奇偶校验标志将保持置位状态，并且接收到的数据似乎是错误的奇偶校验。

## 起始位的半位处理时序图 (图1)

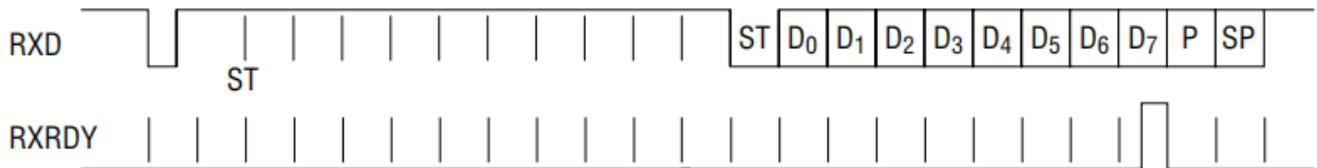
### 正常操作



### 起始位短于1/2数据位

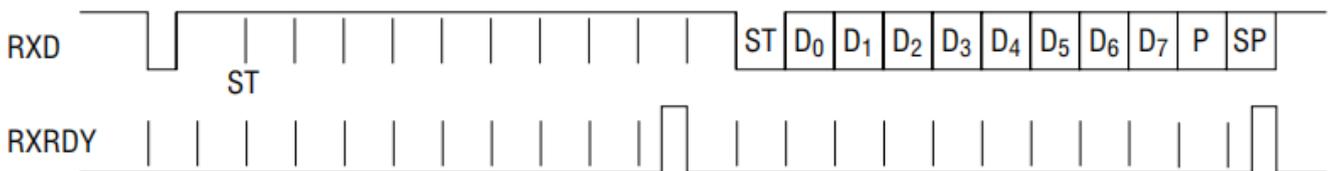


### 起始位是1/2数据位 (CLM82C51A-2的一个问题)



由于故障，在数据接收期间输出RXRDY信号。

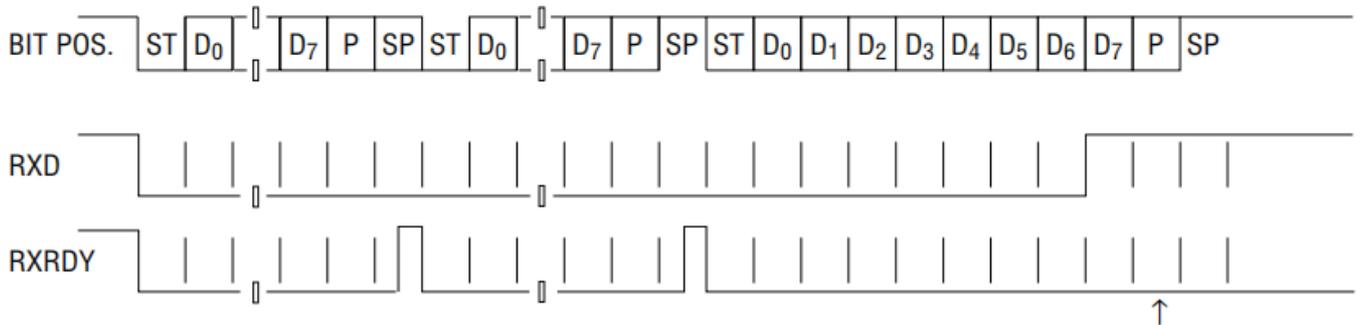
### 起始位大于1/2数据位



ST : 起始位  
 SP : 停止位  
 P : 奇偶校验位  
 D<sub>0</sub> - D<sub>7</sub> : 数据位

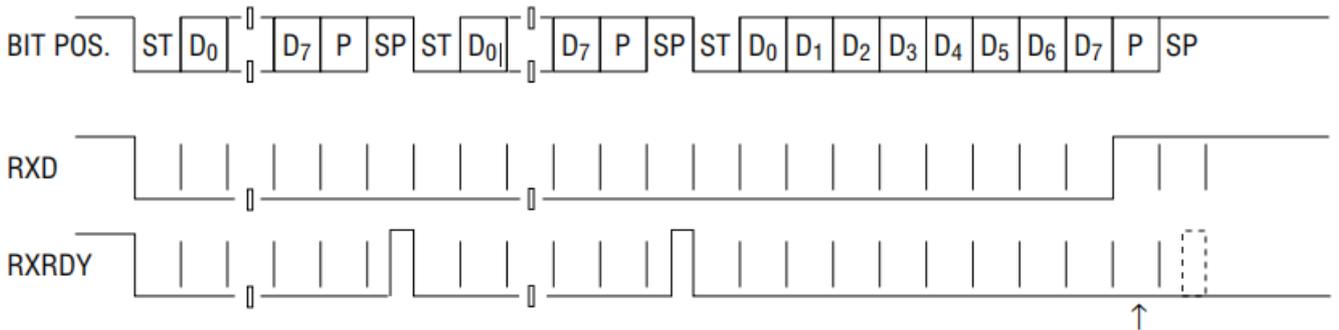
## 中断信号接收时序和奇偶校验标志 (图2)

### 正常操作



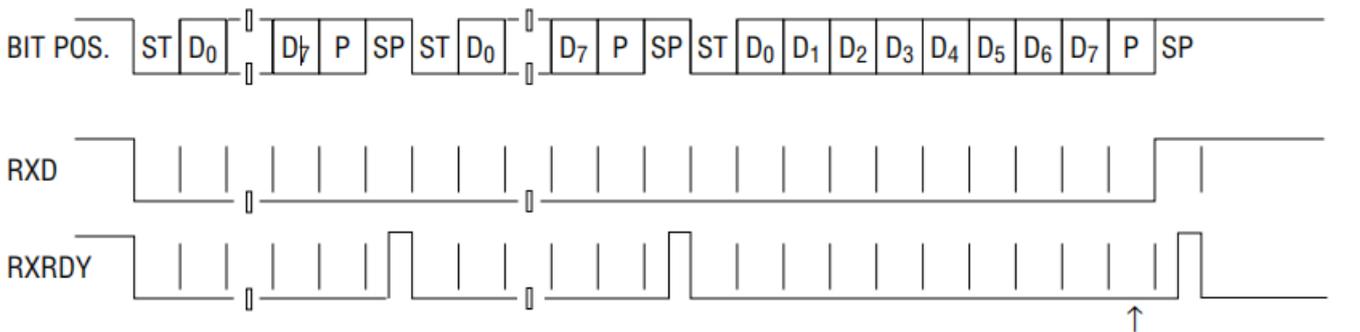
没有设置奇偶校验标志。并且不输出RXRDY信号。

### 错误计时



设置了奇偶校验标志，但是没有输出RXRDY信号。

### 正常操作



设置奇偶校验标志。并且输出RXRDY信号。

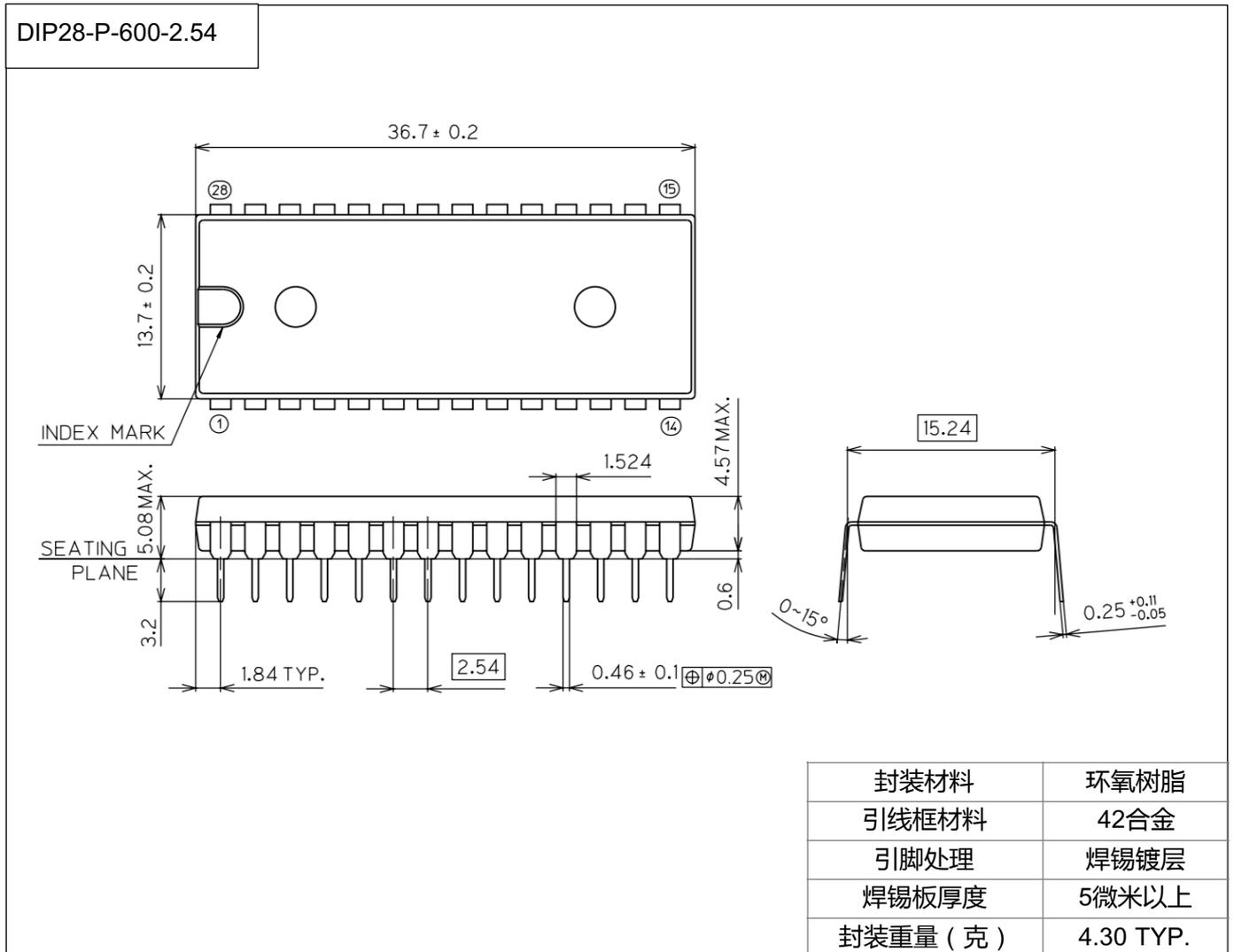
## 关于将低速器件替换为高速器件的通知

如下所示，传统的低速器件被高速器件取代。当你想用高速器件取代低速器件时，请参考更换通知

高速器件 (新)	低速器件 (旧)	备注
M80C85AH	M80C85A/M80C85A-2	8位MPU
M80C86A-10	M80C86A/M80C86A-2	16位MPU
M80C88A-10	M80C88A/M80C88A-2	8位MPU
M82C84A-2	M82C84A/M82C84A-5	时钟发生器
M81C55-5	M81C55	RAM, I/O, 计时器
M82C37B-5	M82C37A/M82C37A-5	DMA控制器
M82C51A-2	M82C51A	USART (通用同步异步串行接收发送器)
M82C53-2	M82C53-5	计时器
M82C55A-2	M82C55A-5	PPI

## 封装尺寸

(Unit : mm)

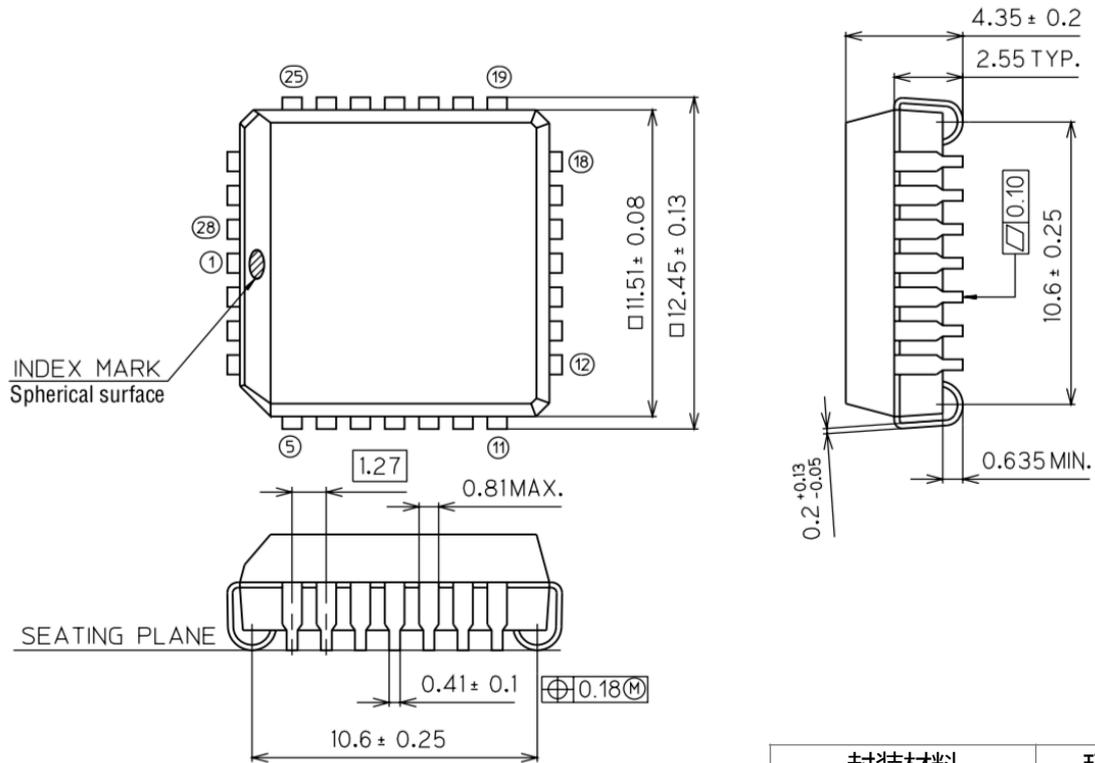


### 安装表面贴装型封装的注意事项

SOP, QFP, TSOP, SOJ, QFJ (PLCC), SHP和BGA是表面贴装型封装, 在回流安装时很容易受热影响, 在存储中会吸收湿气。

因此, 在执行回流安装之前, 请与Oki负责的销售人员联系, 以获取产品名称, 封装名称, 引脚号, 封装代码和所需的安装条件 (回流方法, 温度和时间)。

QFJ28-P-S450-1.27

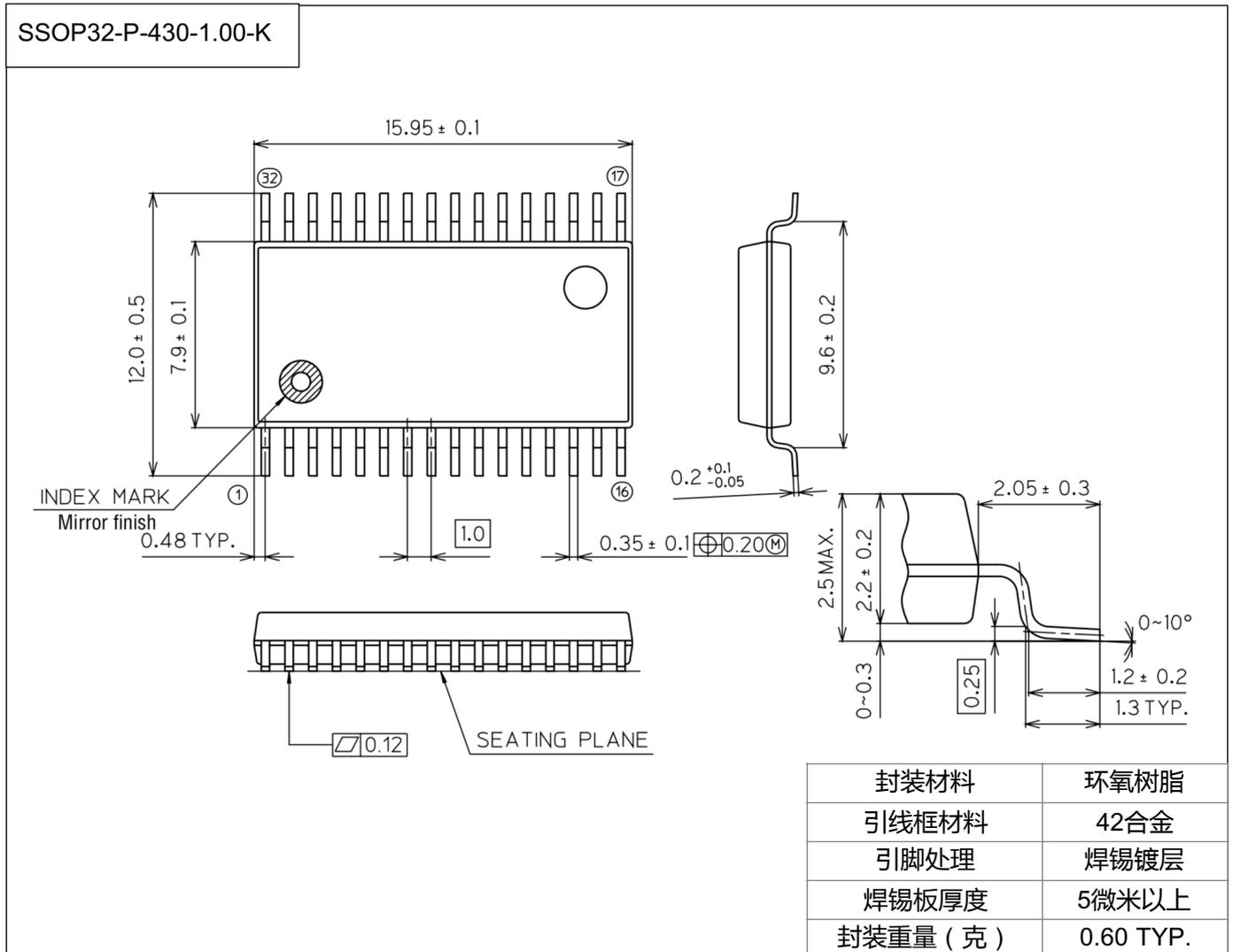


封装材料	环氧树脂
引线框材料	铜合金
引脚处理	焊锡镀层
焊锡板厚度	5微米以上
封装重量 (克)	1.00 TYP.

### 安装表面贴装型封装的注意事项

SOP, QFP, TSOP, SOJ, QFJ ( PLCC ), SHP和BGA是表面贴装型封装, 在回流安装时很容易受热影响, 在存储中会吸收湿气。

因此, 在执行回流安装之前, 请与Oki负责的销售人员联系, 以获取产品名称, 封装名称, 引脚号, 封装代码和所需的安装条件 ( 回流方法, 温度和时间 )。



### 安装表面贴装型封装的注意事项

SOP, QFP, TSOP, SOJ, QFJ (PLCC), SHP和BGA是表面贴装型封装, 在回流安装时很容易受热影响, 在存储中会吸收湿气。

因此, 在执行回流安装之前, 请与Oki负责的销售人员联系, 以获取产品名称, 封装名称, 引脚号, 封装代码和所需的安装条件 (回流方法, 温度和时间)。

#### 4) 使用注意事项

更换器件时，请注意以下事项，因为MSM82C84A和MSM82C84A 5 / MSM82C84A-2之间的ASYNC引脚处理不同：

情况1：仅在外部连接上拉电阻时。  
MSM82C84A可以用MSM82C84A-2代替。

情况2：仅在外部连接下拉电阻时。  
当下拉电阻为8K $\Omega$ 或更小时，MSM82C84A可以用MSM82C84A-2代替。  
当下拉电阻大于8K $\Omega$ 时，请使用8K $\Omega$ 或更小的下拉电阻。

情况3：另一个IC器件的输出连接到该器件时。  
当用于驱动MSM82C84A-2的ASYNC引脚的器件的I<sub>OL</sub>引脚的允许量为100 $\mu$ A或更高时，可以用MSM82C84A-2替换MSM82C84A。