



Fremont Micro Devices

FT32F072xx

数据手册

主要特性

基于 ARM Cortex M0 核心的 MCU

Flash: 64 Kbytes, SRAM: 8 Kbytes

32/48/64 引脚

1Msps 12-bit 高精度 ADC

55 个高速 I/O

5 通道的可编程 DMA 控制器

可编程多项式的 CRC 模块

10 个定时器, 2 个高速比较器, 1 个运算放大器

低功耗模式: 睡眠/停止/待机

2 个 I2C, 其中 I2C1 支持 FM+和 SMBus

2 个 USART, 支持同步 SPI 模式以及 Modem 控制, 自动波特率检测

2 个 SPI, 支持 4 到 16bit 的位帧

1 个 USB, 支持 2.0 全速协议

最大支持 24 个触摸按键

1. 产品特性

内核

- ✓ 32 位 Cortex M0, 最高工作频率 72 MHz
- ✓ 单指令周期 32 位硬件乘法器
- ✓ 32 个中断向量的 NVIC, 4 种 优先级
- ✓ 支持 SWD 接口调试, 2 个观察点以及 4 个硬件断点

存储器

- ✓ 64 kB 闪存, 用于存放程序代码和数据
- ✓ 4 kB 闪存, 用于存放启动代码 (bootloader)
- ✓ 8 kB SRAM

电源模块

- ✓ 数字及 GPIO 供电: $V_{DD} = 2.0\text{ V} - 5.5\text{ V}$
- ✓ 模拟供电: $V_{DDA} = V_{DD}$
- ✓ 上电复位及掉电复位(POR/PDR)
- ✓ 可编程的电压检测模块(PVD)
- ✓ 低功耗模式: 睡眠/停止/待机
- ✓ 低功耗电流 @ 3.3 V:
 - 停止模式 (normal/LP): 14.1 μA /5.3 μA
 - 待机模式: 1.6 μA

时钟管理

- ✓ 支持 4 MHz – 32 MHz 晶体
- ✓ 支持 32 kHz 低频晶体, 支持硬件校准
- ✓ 内置 40 kHz 低频振荡器
- ✓ 内置 8 MHz 和 14 MHz 中频振荡器
- ✓ 内置 48 MHz 高频振荡器, 支持硬件校准
- ✓ 可编程 PLL, 最高可倍频到 72 MHz

外设

- 55 个高速 I/O
 - ✓ 可映射到外部中断向量
 - ✓ PA8~PA10, PA13~PA15, PB0~PB1, PB3~PB7 支持 LED 驱动
 - ✓ 所有 I/O 支持 $1/2V_{DD}$ 偏置
- 5 通道的可编程 DMA 控制器
- 可编程多项式的 CRC 模块

- 1Msps 12 位 ADC
 - ✓ 16 个外部通道
 - ✓ 内部通道
 - 温度传感器(V_{TS})
 - 内部电压基准(V_{REFINT})
 - 运算放大电路(V_{OP})
 - 采样保持电路(V_{IOSH})
 - ✓ 转换电压范围: $0 - V_{REF+}$
 - ✓ 内部参考: 2.5 V
- 2 个高速比较器
 - ✓ 7 位 DAC 与反相端相连, 可配置
- 1 个运算放大器
 - ✓ 运放输出可作为 ADC 输入
- 实时时钟和日历 RTC 模块
 - ✓ 支持入侵检测, 闹钟与周期唤醒
- 10 个定时器
 - ✓ TIM1, 16-bit, 4 路 PWM, 支持 3 对互补
 - ✓ TIM3, 16-bit, 4 路 PWM
 - ✓ TIM14, 16-bit, 1 路 PWM
 - ✓ TIM15, 16-bit, 2 路 PWM, 支持 1 对互补
 - ✓ TIM16/TIM17, 16-bit 1 路 PWM, 支持 1 对互补
 - ✓ TIM6, 16-bit, 基本定时器
 - ✓ 2 个看门狗: WWDG 与 IWDG
 - ✓ 1 个 24 位的系统定时器
- 通信接口
 - ✓ 2 个 I2C, 其中 I2C1 支持 FM+和 SMBus
 - ✓ 2 个 USART, 支持同步 SPI 模式以及 Modem 控制, 自动波特率检测
 - ✓ 2 个 SPI, 支持 4 到 16bit 的位帧
 - ✓ 1 个 USB, 支持 2.0 全速协议
- 触摸传感控制器
 - ✓ 24 个触摸按键
 - ✓ 支持 2 组 I/O 同时扫描
- 96 位芯片唯一 ID
- 封装
 - LQFP64, LQFP48, LQFP32

目录

1. 产品特性.....	2
2. 规格说明.....	5
3. 产品概述.....	8
3.1. ARM 的 Cortex-M0 内核并内嵌闪存和 SRAM.....	8
3.2. 内置闪存存储器.....	8
3.3. 加载模式.....	8
3.4. CRC 运算单元.....	8
3.5. 电源管理.....	8
3.5.1. 电源供电方案.....	8
3.5.2. 电源供电监控.....	9
3.5.3. 电压调节器.....	9
3.5.4. 低功耗模式.....	9
3.6. GPIO.....	10
3.7. 时钟和启动.....	11
3.8. 比较器.....	12
3.9. 直接存储器访问控制器 (DMA).....	12
3.10. 中断和事件.....	12
3.10.1. 中断向量控制器 (NVIC).....	12
3.10.2. 外部中断/事件控制器 (EXTI).....	12
3.11. 模数转换器 (ADC).....	13
3.11.1. 温度传感器 (V_{TS}).....	13
3.11.2. 内部电压基准 (V_{REFINT}).....	13
3.11.3. IO 采样保持电路 (V_{IOSH}).....	13
3.11.4. 运算放大电路 (V_{OP}).....	13
3.12. 定时器和看门狗.....	14
3.12.1. 高级控制定时器 (TIM1).....	14
3.12.2. 通用定时器 (TIM3/TIM14/TIM15/TIM16/TIM17).....	14
3.12.3. 基本定时器 (TIM6).....	15
3.12.4. 独立看门狗.....	15
3.12.5. 窗口看门狗.....	15
3.12.6. 系统时基定时器.....	15
3.13. 触摸传感控制器.....	16
3.14. 实时时钟 (RTC).....	17
3.15. I2C 接口.....	18
3.16. USART 异步同步通信接口.....	18
3.17. 串行外设接口 (SPI).....	18
3.18. 通用串行总线 USB.....	19
3.19. 时钟恢复系统.....	19
3.20. 串行单线 SWD 调试口 (SW-DP).....	19
4. 引脚定义.....	20
5. 内存映射.....	30

6. 电气特性.....	33
6.1. 测试条件.....	33
6.1.1. 最小值和最大值.....	33
6.1.2. 典型值.....	33
6.1.3. 典型曲线.....	33
6.1.4. 负载电容.....	33
6.1.5. 引脚输入电压.....	33
6.1.6. 供电方案.....	34
6.1.7. 电流消耗测量.....	34
6.2. 绝对最大额定值.....	35
6.3. 操作条件.....	36
6.3.1. 通用工作条件.....	36
6.3.2. 上电和掉电时的工作条件.....	36
6.3.3. 内部复位和电源控制模块特性.....	36
6.3.4. 内部基准电压.....	38
6.3.5. 供电电流特性.....	38
6.3.6. 低功耗模式唤醒时间.....	45
6.3.7. 外部时钟源特性.....	45
6.3.8. 内部时钟源特性.....	48
6.3.9. PLL 特性.....	49
6.3.10. 存储器特性.....	50
6.3.11. EMC 特性.....	50
6.3.12. 电气敏感特性.....	51
6.3.13. I/O 注入电流特性.....	52
6.3.14. I/O 端口特性.....	53
6.3.15. NRST 管脚特性.....	56
6.3.16. 12 位 ADC 特性.....	57
6.3.17. 温度传感器(V_{TS})特性.....	60
6.3.18. IO 采样保持电路(V_{IOSH})特性.....	60
6.3.19. 运算放大电路特性.....	61
6.3.20. 比较器.....	61
6.3.21. TIM 定时器特性.....	61
6.3.22. 通信接口.....	63
7. 封装信息.....	66
文档更改历史.....	69

2. 规格说明

FT32F072xx 使用高性能的 ARM®Cortex®-M0 32 位的 RISC 内核，最高工作频率为 72MHz，内置高速存储器（高达 64k 字节的闪存和 8k 字节的 SRAM）和丰富的增强型 I/O 端口。芯片包括标准的通信接口（2 个 I2C 接口、2 个 SPI 接口、2 个 USART 接口和 1 个 USB 接口）、1 个 12 位 ADC 和 7 个通用 16 位计数器和 1 个高级控制 PWM 计数器。

FT32F072xx 工作于 -40 – 105 °C 温度范围，供电电压 2.0 V 至 5.5 V。一系列的省电模式保证低功耗应用的要求。

FT32F072xx 提供多种不同封装：从 32 脚到 64 脚。

这些特点使得 FT32F072xx 微控制器适用于广泛的应用，如应用控制和用户界面、手持设备、A/V 接收机和数字电视、PC 外设、游戏和 GPS 平台、工业应用、可编程控制器、逆变器、打印机、扫描仪、报警系统、视频对讲和 HVAC。

表 2.1 FT32F072xx 系列芯片选型表

外设		FT32F072 R8AT7	FT32F072 R8BT7	FT32F072 C8BT7	FT32F072 C8AT7	FT32F072 K6BT7
Flash	kbytes	64				32
SRAM	kbytes	8				4
定时器	高级控制型	1 (16bit)				
	通用型	5 (16bit)				
	基本型	1 (16bit)				
通信接口	SPI	2				1 ⁽¹⁾
	I2C	2				1 ⁽²⁾
	USART	2				
	USB2.0	1				
12 位 ADC (通道数)		16 ext + 4 int		10 ext + 4 int		
7 位 DAC		2				
模拟比较器		2				
运放		1				
电容触摸通道		24				17
GPIOs		51	55	39	37	25
最大 CPU 频率		72 MHz				
工作电压范围		2.0 – 5.5 V				
工作温度范围		-40 – 105 °C				
封装类型		LQFP64		LQFP48		LQFP32

¹ 无 SPI2

² 无 I2C2

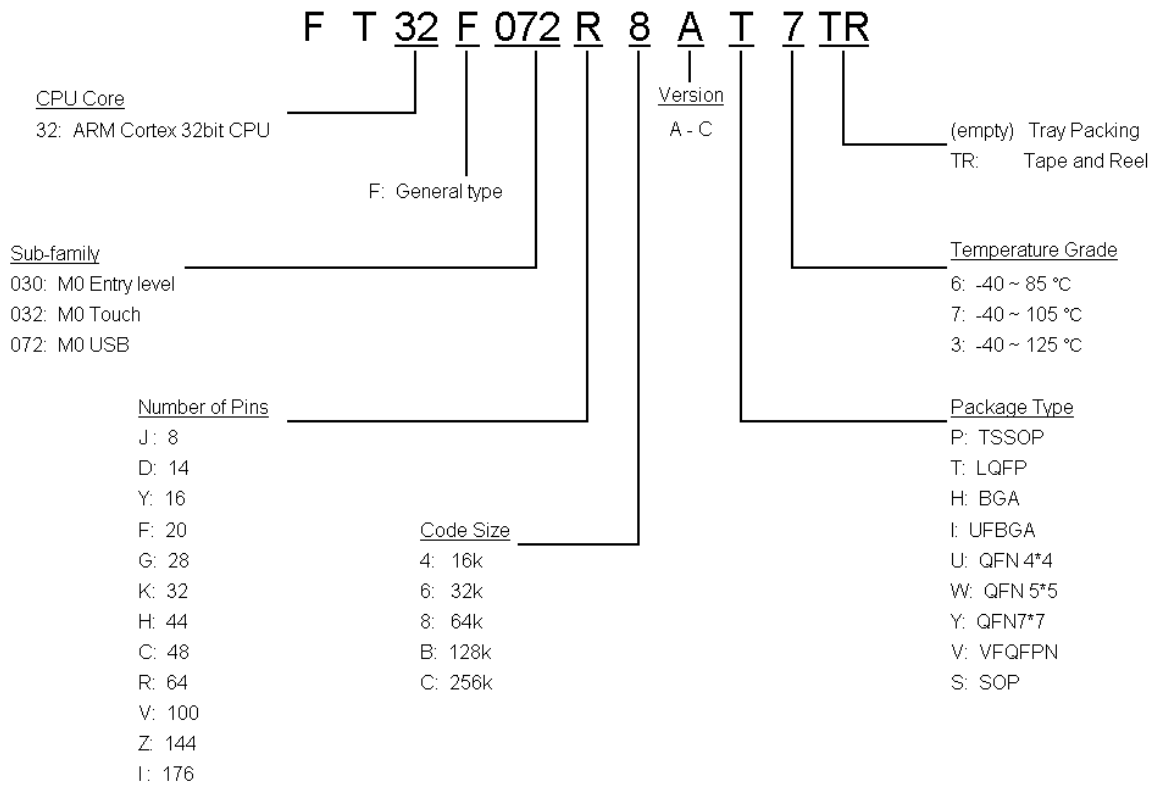


图 2-1 MCU 产品订购信息

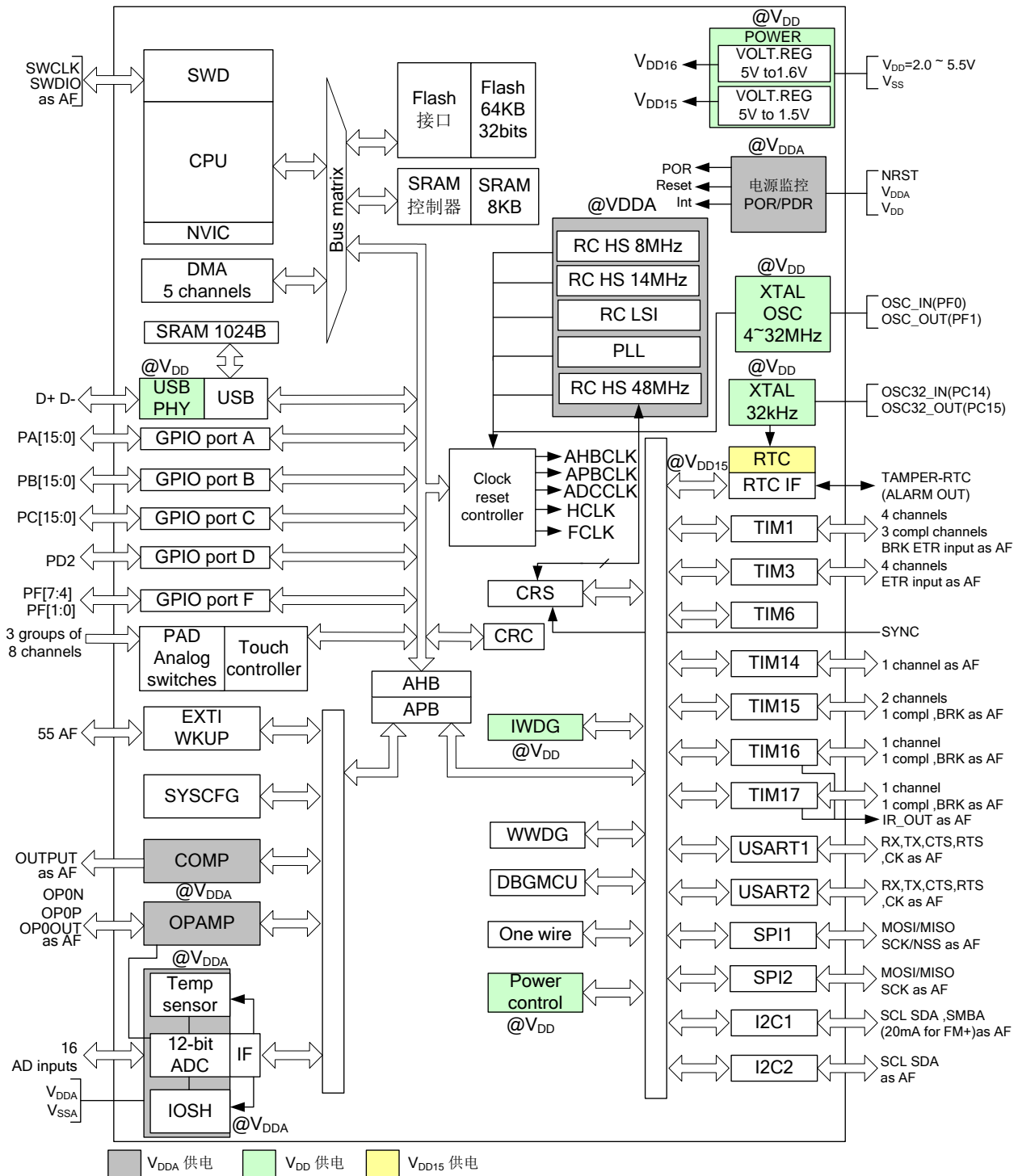


图 2-2 系统框图

3. 产品概述

3.1. ARM 的 Cortex-M0 内核并内嵌闪存和 SRAM

ARM 的 Cortex-M0 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM 的 Cortex-M0 是 32 位的 RISC 处理器，具备比 8 位或 16 位系统更高的代码效率。

FT32F072xx 拥有内置的 ARM 内核 ARM 工具和软件兼容。

3.2. 内置闪存存储器

器件具有以下特点：

- CPU 时钟以 0 等待状态读/写访问 8k 字节的嵌入式 SRAM
- 非易失性存储器：
 - 64k+4k 字节嵌入式闪存用来编程和存数据
 - 选项字节

选项字节可对闪存写保护（0.5k 字节粒度）或使用以下选项对整个闪存读保护：

- 级别 0：无读保护
- 级别 1：闪存读保护，在 debug 模式下，或由 SRAM 启动，或系统存储区启动的代码均不能访问主程序区
- 级别 2：芯片读保护，只能从主程序区启动，且 debug 模式被禁用

3.3. 加载模式

开机时，开机引脚和开机配置选项位用于选择三种开机选项之一，如表 3.1 所示：

- 从主程序区启动
- 从系统存储区启动
- 从嵌入式 SRAM 启动

表 3.1 Boot 模式配置

Boot模式配置		引导区
nBOOT1	BOOT0管脚	
x	0	主程序区
1	1	系统存储区
0	1	嵌入式SRAM

3.4. CRC 运算单元

CRC（循环冗余校验）运算单元主要功能是采用一个可编程的生成多项式来得到一个 CRC 校验码。

在其他的应用中，CRC 校验技术被用来校验数据发送或者数据完整性。在 EN/IEC 标准中，提供了一个校验存储器数据完整性的方法。CRC 运算单元可以帮助计算一个软件的签名，用来与软件生成的码值做比较。

3.5. 电源管理

3.5.1. 电源供电方案

- $V_{DD}=2.0\sim 5.5\text{ V}$ ：通过外部 VDD 管脚给 I/O 模块和内部电压调节器供电

- $V_{DDA}=V_{DD}$: 外部模拟供电主要给 ADC、复位模块、RC 振荡器和 PLL 使用 (当 ADC_VREF 使用 V_{DDA} 时, V_{DDA} 最低电压为 2.4 V; 当 ADC_VREF 使用内部参考电压 2.5V 时, V_{DDA} 最低电压为 2.7 V), V_{DDA} 电压必须一直等于 V_{DD} 电压, V_{DDA} 与 V_{DD} 同时上电

3.5.2. 电源供电监控

该芯片有上电复位 (POR) 和掉电复位 (PDR) 电路。它们一直处于工作状态, 以确保工作电压一直大于 2 V。当供电电压低于设定阈值电压 $V_{POR/PDR}$ 时, 芯片一直处于复位状态。

- 上电复位只监控 V_{DD} 电压。在启动阶段, V_{DDA} 与 V_{DD} 同时上电, 并且要一直等于 V_{DD} 电压
- 掉电复位同时监控 V_{DD} 和 V_{DDA} 电压, 如果应用中可以保证 V_{DDA} 等于 V_{DD} 电压, 那么 V_{DDA} 电压监控功能可以通过配置相关寄存器关闭该功能, 这样可以减少电源功耗

该芯片内置一个可编程电压检测 (PVD) 电路, 可以检测 V_{DD} 电压并且与设置的阈值电压作比较。当 V_{DD} 电压低于 V_{PVD} 阈值电压或者 V_{DD} 高于 V_{PVD} 阈值电压时, 可以产生一个中断, 该中断服务程序可以产生警告信息或者使 MCU 进入一个安全状态。可编程电压检测功能通过软件使能。

3.5.3. 电压调节器

该芯片有两个电压调节器 1.6 V 电压调节器和 1.5 V 电压调节器。

1.6 V 电压调节器有两种工作模式, 并且复位之后一直处于工作状态:

- Normal: 可用于正常操作模式或停止模式
- LP: 只用于停止模式, 这样可以降低电源功耗

在待机模式下, 1.6 V 电压调节器处于掉电状态, 在该模式下, 1.6 V 电压调节器输出高阻状态, 核心电路都掉电, SRAM 和寄存器内容都会丢失。

1.5 V 电压调节器可以通过软件使能或者禁止。

3.5.4. 低功耗模式

该芯片支持三种低功耗模式, 三种低功耗模式实现在低功耗、启动时间短和有效唤醒源之间很好的平衡。

注意: 为保证芯片能进入最低功耗状态, 所有 I/O 必须有固定状态 (输出 0 或 1, 输入上拉或下拉), 或配置为模拟模式, 不能悬空, 以免不必要的漏电。

- 睡眠模式

在睡眠模式下, 只有 CPU 处于停止状态。所有的外设均继续正常工作, 当一个中断或者事件产生, 可以唤醒 CPU。

- 停止模式

停止模式可以完成低功耗的目标并且 SRAM 和寄存器内容不会丢失。所有 1.6V 域的时钟都会停止, PLL、HSI 振荡器、HSI14、HSI48 和 HSE 晶体振荡器都被关闭。1.6 V 电压调节器可以处于正常模式或者低功耗模式。

该芯片可以通过任意 EXTI 线唤醒停止模式, EXTI 线触发源可以是 16 个外部线或者 RTC。

停止模式下, 独立看门狗可以正常工作。

- 待机模式

待机模式被用于完成极低功耗目标情况,内部 1.6 V 电压调节器被关闭,因此整个 1.6 V 域处于掉电状态。PLL、HSI 振荡器、HSI14 振荡器、HSI48 振荡器和 HSE 晶体振荡器也被关闭了。进入待机模式后,除了部分寄存器,SRAM 和大多数寄存器内容被丢失。

当外部复位、一个独立看门狗复位、WKUP 管脚上升沿或者 RTC 事件发生时,芯片退出待机模式。

在待机模式下,独立看门狗(使能时)及相应的时钟不会停止。在进入待机模式前,如果使能了 RTC,在进入待机模式后,RTC 及相应的时钟不会停止。

3.6. GPIO

每个 GPIO 引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口,所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下,I/O 引脚的外设功能可以通过一个特定的操作锁定,以避免意外的写入 I/O 寄存器。

3.7. 时钟和启动

系统时钟的选择发生在启动阶段，但在复位时内部 HSI 8 MHz 时钟已经被选择为 CPU 默认时钟。外部 4~32 MHz 时钟（HSE）作为系统时钟使用时，可以监控该时钟是否正常，当该时钟出现故障时，系统时钟自动切换到内部 HSI 时钟，同时如果使能了时钟缺失中断，该中断就会产生。

一些预分频设置允许在应用中配置 AHB 频率和 APB 频率。AHB 和 APB 时钟最大频率为 72 MHz。

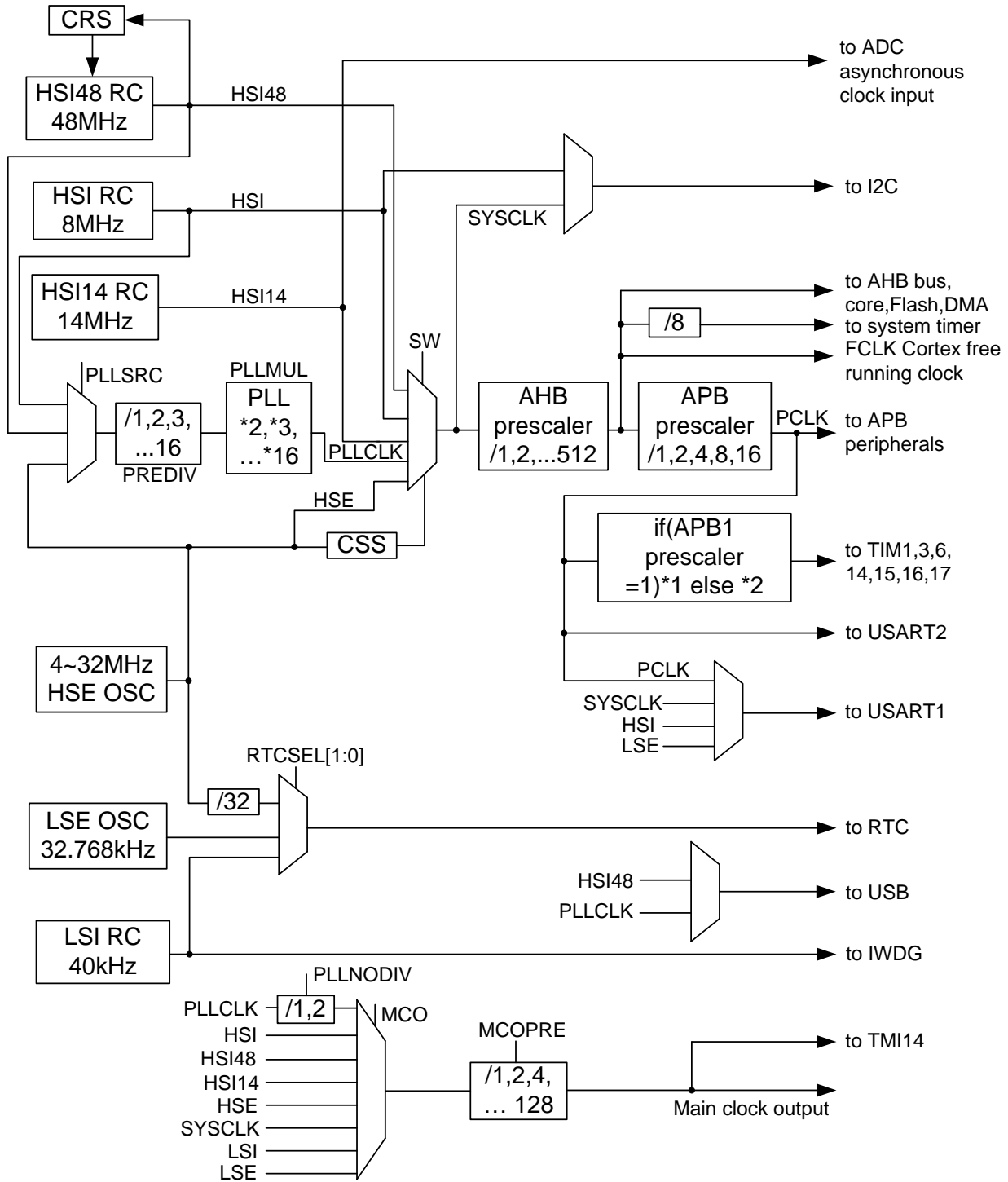


图 3-1 时钟框图

3.8. 比较器

芯片内部内置两个可编程参考电压以及可选择输出极性的快速低功耗的比较器。

参考电压可能是以下的某一种情况：

- 外部 IO 输入
- DAC 输出

两个比较器都能够唤醒 STOP 模式，为 Timer 产生中断或者是刹车事件，支持窗口比较器模式。

3.9. 直接存储器访问控制器 (DMA)

5 通道的通用 DMA 管理存储到存储、外设到存储和存储到外设的传输。

DMA 支持循环缓冲管理，移除控制器到达缓冲器末端时用户代码干预的必要。

每个通道都连接到其专用硬件 DMA 请求，支持在每个通道上的软件触发。配置由软件建立，源与目标之间的传输大小各自独立。

DMA 可用于主要外设：SPI、I2C、USART、所有 TIMx 定时器（除了 TIM14）和 ADC。

3.10. 中断和事件

3.10.1. 中断向量控制器 (NVIC)

该芯片内置中断向量控制器，能够管理 32 个可屏蔽中断通道（不包括 Cortex-M0 的 16 个中断线）和 4 个优先级。

- 紧耦合的 NVIC 能够达到低延时的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级的中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的终端延时提供灵活的中断管理功能。

3.10.2. 外部中断/事件控制器 (EXTI)

外部中断/事件控制器包括 32 个边沿检测器，用于产生中断/事件请求和唤醒系统。每个线可独立地配置它的触发事件（上升沿、下降沿或者双边沿），并能够单独地被屏蔽。有一个挂起寄存器维持中断请求的状态。EXTI 可以检测到小于内部时钟周期的脉冲。

3.11. 模数转换器 (ADC)

12 位模数转换器有高达 16 个外部和 4 个内部（温度传感器、电压基准测量、IO 采样保持电路、专用运放电路）通道，可执行单个或扫描模式。在扫描模式中，对选中的一组模拟输入执行自动转换。

DMA 控制器可服务于 ADC。

模拟看门狗功能提供单个、多个或者所有选中通道转换电压的非常精确的监控。在转换电压超出编程阈值范围时产生一个中断。

3.11.1. 温度传感器 (V_{TS})

温度传感器 (TS) 在内部连接到 ADC_IN16 输入通道，用于将传感器产生的电压 V_{TS} 转换成数字数值。

为了使 V_{TS} 与温度呈良好线性变化（出厂时已对每一器件进行校准），以获取良好整体精度，校准数据存储在系统存储区域，只读模式访问。

表 3.2 温度传感器校准值

校准数值名称	描述	存储地址
TS_CAL1	TS ADC 原始数据，获取于温度 25 °C(±5 °C)、电压 $V_{DDA}=3.3\text{ V}(\pm 10\text{ mV})$	0x1FFF F7B8 - 0x1FFF F7B9
TS_CAL2	TS ADC 原始数据，获取于温度 110 °C(±5 °C)、电压 $V_{DDA}=3.3\text{ V}(\pm 10\text{ mV})$	0x1FFF F7C2 - 0x1FFF F7C3

3.11.2. 内部电压基准 (V_{REFINT})

内部电压基准 (V_{REFINT}) 提供一个稳定（带隙）电压输出给 ADC。 V_{REFINT} 在内部连接到 ADC_IN17 输入通道。 V_{REFINT} 的精确电压由 FMD 在产品测试时对每一器件单独测试，存储在系统存储区域，仅只读模式访问。

表 3.3 内部电压基准校准值

校准数值名称	描述	存储地址
V_{REFINT_CAL}	原始数据，获取于温度 25 °C(±5 °C)、电压 $V_{DDA}=3.3\text{ V}(\pm 10\text{ mV})$	0x1FFF F7BA - 0x1FFF F7BB

3.11.3. IO 采样保持电路 (V_{IOSH})

IO 采样保持电路主要是为了解决当前电压需要被测量但 ADC 无法立刻启动测量的问题，例如分压电路的分压系数测定。IO 采样保持电路的电压输出 V_{IOSH} 连接到 ADC_IN18 输入通道。被测量电压在采样停止之后仅可以保持一定时间，要尽快进行测量，以免造成测量误差。

3.11.4. 运算放大电路 (V_{OP})

运算放大电路提供一个端口电压比例放大的电压输出给 ADC。其输出在内部连接到 ADC_IN19 输入通道。运放的电压偏差校准由 FMD 在产品测试时单独测试，存储在系统存储区（只读），上电后自动装载到运放模块的对应配置寄存器中，用户可进行读写访问。

3.12. 定时器和看门狗

此产品包含 1 个高级控制定时器、5 个通用定时器和 1 个基本定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能。

表 3.4 定时器功能比较

定时器类型	定时器	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	√	4	3
通用	TIM3	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	√	4	—
	TIM14	16 位	递增	1 和 65536 之间的任意整数	√	1	—
	TIM15	16 位	递增	1 和 65536 之间的任意整数	√	2	1
	TIM16, TIM17	16 位	递增	1 和 65536 之间的任意整数	√	1	1
基本	TIM6	16 位	递增	1 和 65536 之间的任意整数	√	0	—

3.12.1. 高级控制定时器 (TIM1)

高级控制定时器 (TIM1) 可以被看成是分配到 6 个通道的三相 PWM 发生器，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM (边沿或中央对齐模式)
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力 (0 ~ 100%)。

在调试模式下，计数器可以被冻结。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

3.12.2. 通用定时器 (TIM3/TIM14/TIM15/TIM16/TIM17)

此产品内置了多达 5 个可同步运行的通用定时器。每个定时器都能产生 PWM 输出，或作为简单的时间基准。

TIM3

此器件具有一个可同步的 4 通道通用定时器。TIM3 基于一个 16 位自动重载递增/递减计数器和一个 16 位预分频器。它具有 4 个独立通道，用于输入捕获/输出比较、PWM、单脉冲模式输出。

TIM3 通用定时器可通过定时器链接功能与 TIM1 高级控制定时器协同工作，提供同步或事件链接功能。

TIM14

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。

TIM14 具有一个单通道，用于输入捕获/输出比较或 PWM。

在调试模式下，其计数器可被冻结。

TIM15/TIM16/TIM17

TIM15, TIM16 和 TIM17 能同时工作；TIM15 同时还能通过提供同步或事件链接功能与 TIM1 高级控制定时器协同工作。

TIM15 可以通过定时器链接功能与 TIM16 和 TIM17 同步工作。

TIM15, TIM16 和 TIM17 定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。

TIM15 有 2 个独立通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出；通道 1 有互补输出，通道 2 没有互补输出，都有带死区生成和独立 DMA 请求生成功能。

TIM16 和 17 都有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出；有互补输出，带死区生成和独立 DMA 请求生成功能。

在调试模式下，它们的计数器都可被冻结。

3.12.3. 基本定时器 (TIM6)

这个定时器可以用作 16 位时基。

3.12.4. 独立看门狗

独立看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40kHz 的振荡器提供时钟；因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动模式。在调试模式下，计数器可以被冻结。

3.12.5. 窗口看门狗

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以在系统发生问题时复位整个系统。它由主时钟 PCLK 驱动，具有早期预警中断功能。在调试模式下，计数器可以被冻结。

3.12.6. 系统时基定时器

这个定时器是专用于实时操作系统，也可以当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程的时钟源

3.13. 触摸传感控制器

触摸传感控制器提供了电容式触摸传感功能的简单解决方案。此设备支持 3 个模拟 I/O 口组，并多达 24 个电容传感通道。

电容式触摸解决方案可以检测与按键接近的手指，从而避免了触摸按键设计中出现的电气直接接触现象。通过检测有手指（或其他导体）所引入的电容变化的方法来判断是否存在触摸。此检测方案是基于一种表面电荷转移捕获原理；它包含给感应电容充电，然后转移电量到采样电容中直到采样电容中的电压超过特定的阈值这两个过程。为了降低 CPU 的带宽使用，这种电量的捕获直接由硬件触摸传感控制器控制并且只需要少数的外围部件辅助运行。为了正常运行，每组按键都有一个采样电容通道，该通道需要连接一个外部电容。

表 3.5 触摸传感信号端口对照表 (VerA~C)

组别	电容感应信号名称	端口名称
1	TSC_G1_CAP	PA4
	TSC_G1_IO1	PA0
	TSC_G1_IO2	PA1
	TSC_G1_IO3	PA2
	TSC_G1_IO4	PA3
	TSC_G1_IO5	PA5
	TSC_G1_IO6	PA6
	TSC_G1_IO7	PA7
	TSC_G1_IO8	PB1
2	TSC_G2_CAP	PB12
	TSC_G2_IO1	PB0
	TSC_G2_IO2	PB2
	TSC_G2_IO3	PB10
	TSC_G2_IO4	PB11
	TSC_G2_IO5	PB13
	TSC_G2_IO6	PB14
	TSC_G2_IO7	PB15
	TSC_G2_IO8	PA8
3	TSC_G3_CAP	PA13
	TSC_G3_IO1	PA9
	TSC_G3_IO2	PA10
	TSC_G3_IO3	PA11
	TSC_G3_IO4	PA12
	TSC_G3_IO5	PA14
	TSC_G3_IO6	PA15
	TSC_G3_IO7	PB3
	TSC_G3_IO8	PB4

表 3.6 触摸传感信号端口对照表 (≥VerD)

组别	电容感应信号名称	端口名称
1	TSC_G1_CAP	PB12
	TSC_IO1	PA0
	TSC_IO2	PA1
	TSC_IO3	PA2
	TSC_IO4	PA3
	TSC_IO5	PA5
	TSC_IO6	PA6
	TSC_IO7	PA7
	TSC_IO8	PB1
	TSC_IO9	PB0
	TSC_IO10	PB2
	TSC_IO11	PB10
	TSC_IO12	PB11
	TSC_IO13	PB13
	TSC_IO14	PB14
	TSC_IO15	PB15
	TSC_IO16	PA8
	TSC_IO17	PA9
	TSC_IO18	PA10
	TSC_IO19	PA11
	TSC_IO20	PA12
	TSC_IO21	PA14
	TSC_IO22	PA15
	TSC_IO23	PB3
TSC_IO24	PB4	

3.14. 实时时钟 (RTC)

RTC 是一个独立 BCD 定时器/计数器。主要功能如下：

- 日历功能，包括亚秒、秒、分、时（12 或 24 小时格式）、周、日、月、年，采用 BCD 编码
- 自动调整月份天数，包括 28、29（闰年）、30 和 31 天
- 可编程闹钟，有唤醒停止和待机模式的能力
- 从 1 到 32767 个 RTC 时钟脉冲的动态调整。这可用于使用主时钟同步 RTC
- 1 ppm 分辨率的数字校准电路，对石英晶振误差进行补偿
- 两个带可编程滤波器的防入侵监测管脚，入侵事件可以唤醒停止和待机模式
- 时间戳功能用于保存日历内容。该功能可由时间戳管脚上的事件或者入侵事件触发，并能唤醒停止和待机模式
- 参考时钟检测：更高精度的秒级源时钟（50 或 60 Hz）能用于提高日历精度

RTC 时钟源如下：

- 32.768 kHz 外部晶振

- 内部低功耗 RC 振荡器（40 kHz 典型频率）
- 高速外部时钟的 32 分频

3.15. I2C 接口

器件包含两个 I2C 接口(I2C1 和 I2C2),可以工作在多主机模式和从机模式。接口都支持标准模式(100 kbit/s)和快速模式(400 kbit/s)。I2C1 支持快速+模式(1Mbit/s), 并拥有 20 mA 的电流驱动能力。

接口都支持 10 比特地址和 7 比特地址模式, 多 7 比特地址模式（两个从机地址, 一个可以配置地址掩码）。它们都支持可编程的模拟滤波和数字滤波。

表 3.7 I2C 功能实现比对

I2C 特性	I2C1	I2C2
7 比特地址模式	√	√
10 比特地址模式	√	√
标准模式	√	√
快速模式	√	√
多时钟域	√	—
SMBus 模式	√	—
快速+模式 20mA 驱动能力	√	—
从 STOP 模式唤醒	—	—

3.16. USART 异步同步通信接口

器件内嵌了两个异步同步通信接口（USART1 和 USART2），其最大速度是 9 Mbit/s。接口可以提供 CTS、RTS 和 RS485 DE 信号的硬件管理, 多处理器模式, 主机同步通信和单线半双工通信模式。USART1 具有独立 CPU 时钟的工作时钟。

表 3.8 USART 功能实现比对

USART 功能	USART1	USART2
MODEM 所需的硬件流控制	√	√
用 DMA 实现连续通讯	√	√
多机通信	√	√
同步模式	√	√
半双工模式	√	√
接收超时中断	√	—
自动波特率检测	√	—
RS485 用的驱动使能信号	√	√

3.17. 串行外设接口 (SPI)

多达 2 个 SPI 接口, 在从或主模式下, 全双工和半双工的通信速率可达 18 兆位/秒。3 位的预分频可产生 8 种主模式频率, 可配置成每帧 4 位~16 位。所有的 SPI 接口都可以使用 DMA 操作。下表详细说明了 SPI1 和 SPI2 所实现的功能。

表 3.9 SPI 实现的功能点

SPI 功能点	SPI1	SPI2
硬件 CRC 计算	√	√
接收/发送 FIFO	√	√
NSS 脉冲模式	√	√
TI 模式	√	√

3.18. 通用串行总线 USB

器件内嵌了一个全速的 USB 接口，该接口兼容 USB2.0 协议。内部的 USB PHY 支持 USB 全速信号，并且内部嵌入了可控制的上拉电阻。USB 接口的通讯速度可以达到 12 Mb/s，内部总共具有 1kB 的存储空间供各个端点分配使用，并且支持挂起和恢复操作。接口需要精确的 48 MHz 时钟，时钟来源可以是 PLL 或者内部 48 MHz 时钟，在选择内部时钟时，自动调整模式的同步模式可以选择 USB 数据流的起始帧，这样可以减少对晶体的调整操作。

3.19. 时钟恢复系统

器件内部嵌入了一个用来自动调整内部 48 MHz 时钟的模块，该模块用来保证 48 MHz 时钟在不同工作条件下的精度。自动同步的机制是基于外部的同步信号，同步信号的来源有 USB 的起始帧信号，LSE 晶体振荡器和外部的 CRS_SYNC 引脚或者采用软件产生。为了快速的启动，手动模式可以结合自动模式一起进行。

3.20. 串行单线 SWD 调试口 (SW-DP)

内嵌 ARM 的两线串行调试端口 (SW-DP)

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

4. 引脚定义

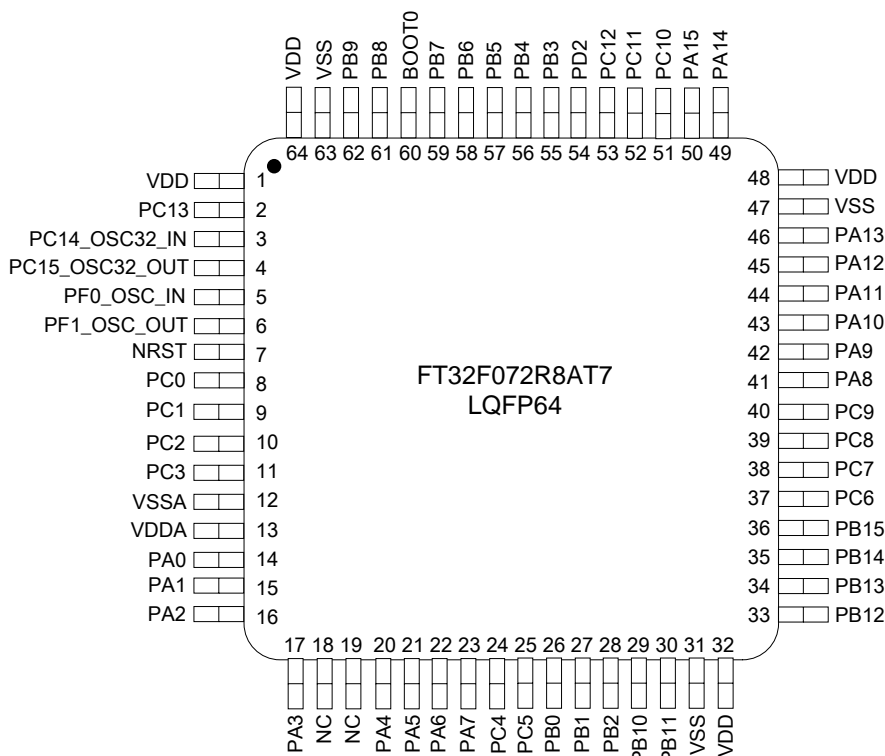


图 4-1 LQFP64(A)引脚分配

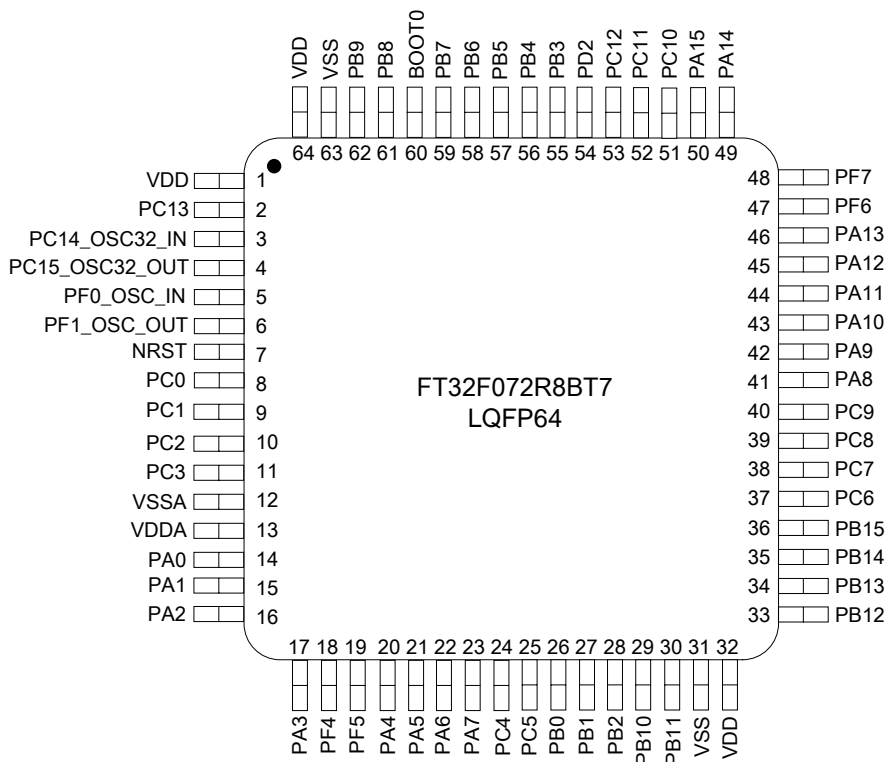


图 4-2 LQFP64(B)引脚分配

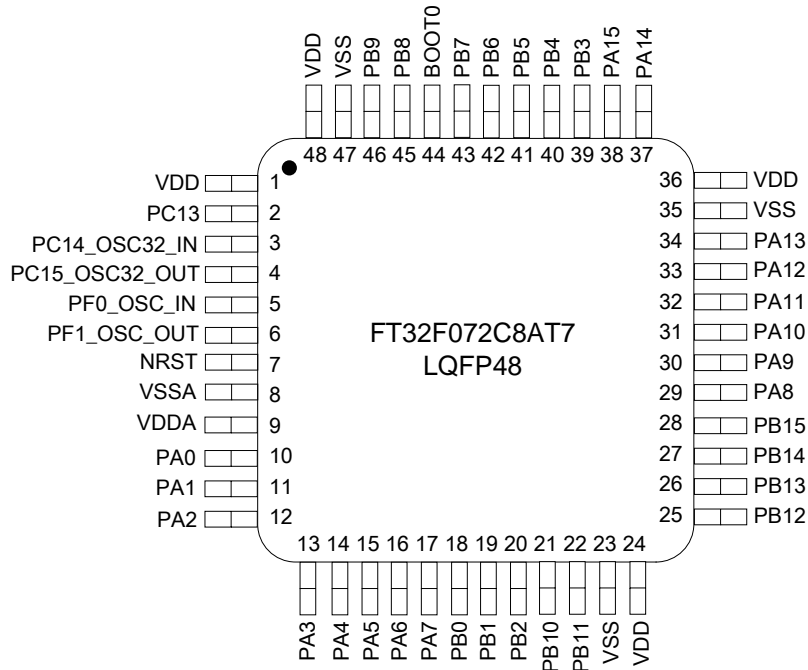


图 4-3 LQFP48(A)引脚分配

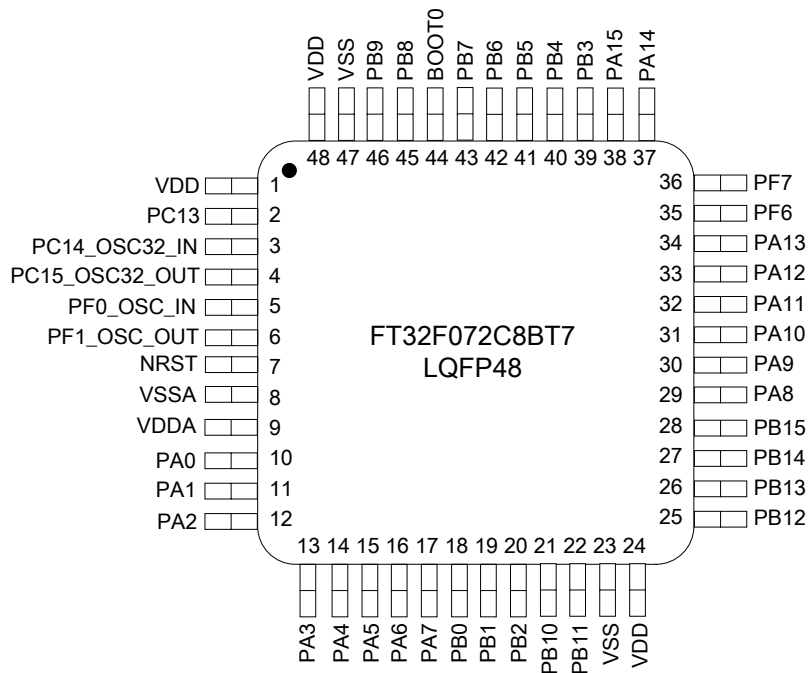


图 4-4 LQFP48(B)引脚分配

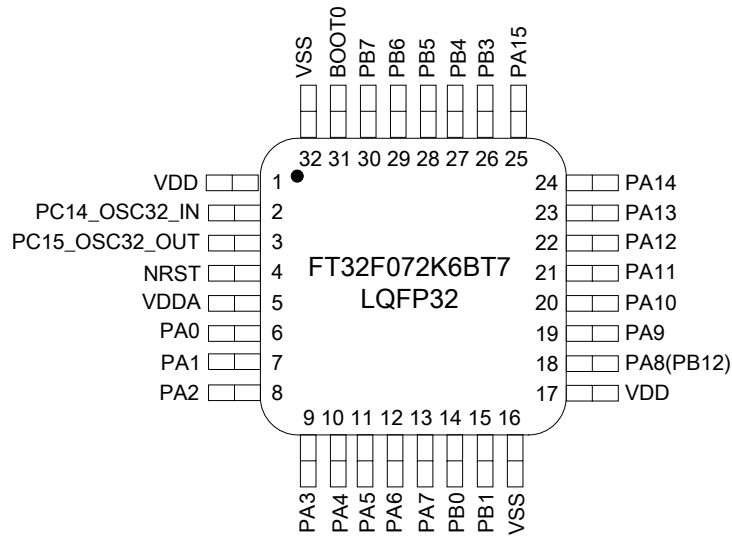


图 4-5 LQFP32(B)引脚分配 ¹

¹ PA8 与 PB12 共同打线到 pin18。如果需要将 PA8 和 PB12 同时设置为输出，则需满足 PORTA8 = PORTB12，另外上拉/下拉的设置也不能与输出值相反。

表 4.1 FT32F072xx 引脚定义

LQFP64(A)	LQFP64(B)	LQFP48 (A)	LQFP48(B)	LQFP32(B)	Pin name	Pin type	Structure	AF	Add. Func	
1	1	1	1	1	VDD	S		Complementary power supply		
2	2	2	2	—	PC13	I/O	FC	—	RTC_TAMP1	
									RTC_TS	
									RTC_OUT	
									WKUP2	
3	3	3	3	2	PC14-OSC32_IN (PC14)	I/O	FC	—	OSC32_IN	
									RTC_OUT	
4	4	4	4	3	PC15-OSC32_OUT (PC15)	I/O	FC	—	OSC32_OUT	
									RTC_OUT	
5	5	5	5	—	PF0-OSC_IN (PF0)	I/O	FC	—	OSC_IN	
6	6	6	6	—	PF1-OSC_OUT (PF1)	I/O	FC	—	OSC_OUT	
7	7	7	7	4	NRST	I/O	RST	Device reset input / internal reset output(active low)		
8	8	—	—	—	PC0	I/O	FC	EVENTOUT	ADC_IN10	
9	9	—	—	—	PC1	I/O	FC	EVENTOUT	ADC_IN11	
10	10	—	—	—	PC2	I/O	FC	EVENTOUT	ADC_IN12	
11	11	—	—	—	PC3	I/O	FC	EVENTOUT	ADC_IN13	
12	12	8	8	—	VSSA	S		Analog ground		
13	13	9	9	5	VDDA	S		Analog power supply		
14	14	10	10	6	PA0	I/O	FC		USART2_CTS	ADC_IN0
									COMP1_OUT	RTC_TAMP2
									TSC_G1_IO1	WKUP1
									—	COMP1_VIN
15	15	11	11	7	PA1	I/O	FC		EVENTOUT	ADC_IN1
									USART2_RTS	COMP1_VIP
									TSC_G1_IO2	—
16	16	12	12	8	PA2	I/O	FC		USART2_TX	ADC_IN2
									TIM15_CH1	COMP2_VIN
									COMP2_OUT	—
									TSC_G1_IO3	
17	17	13	13	9	PA3	I/O	FC	USART2_RX	ADC_IN3	

LQFP64(A)	LQFP64(B)	LQFP48 (A)	LQFP48(B)	LQFP32(B)	Pin name	Pin type	Structure	AF	Add. Func
17	17	13	13	9	PA3	I/O	FC	TIM15_CH2	COMP2_VIP
								TSC_G1_IO4	—
—	18	—	—	—	PF4	I/O	FC	EVENTOUT	—
18	—	—	—	—	NC	—	—	—	—
—	19	—	—	—	PF5	I/O	FC	EVENTOUT	—
19	—	—	—	—	NC	—	—	—	—
20	20	14	14	10	PA4	I/O	FC	SPI1_NSS	ADC_IN4
								USART2_CK	TSC_G1_CAP
								TIM14_CH1	[COMP1_VIP]
								—	[COMP1_VIN]
									[COMP2_VIP]
[COMP2_VIN]									
21	21	15	15	11	PA5	I/O	FC	SPI1_SCK	[COMP1_VIN]
								TSC_G1_IO5	[COMP2_VIN]
								MCO	ADC_IN5
22	22	16	16	12	PA6	I/O	FC	SPI1_MISO	ADC_IN6
								TIM3_CH1	
								TIM1_BKIN	
								TIM16_CH1	
								EVENTOUT	
								COMP1_OUT	
TSC_G1_IO6									
23	23	17	17	13	PA7	I/O	FC	SPI1_MOSI	ADC_IN7
								TIM3_CH2	
								TIM14_CH1	
								TIM1_CH1N	
								TIM17_CH1	
								EVENTOUT	
								COMP2_OUT	
TSC_G1_IO7									
24	24	—	—	—	PC4	I/O	FC	EVENTOUT	ADC_IN14
25	25	—	—	—	PC5	I/O	FC	—	ADC_IN15

LQFP64(A)	LQFP64(B)	LQFP48 (A)	LQFP48(B)	LQFP32(B)	Pin name	Pin type	Structure	AF	Add. Func
26	26	18	18	14	PB0	I/O	FC	TIM3_CH3	ADC_IN8
								TIM1_CH2N	LEDDR
								EVENTOUT	
								TSC_G2_IO1	
27	27	19	19	15	PB1	I/O	FC	TIM3_CH4	ADC_IN9 (S/H)
								TIM14_CH1	
								TIM1_CH3N	LEDDR
								TSC_G1_IO8	
28	28	20	20	—	PB2	I/O	FC	TSC_G2_IO2	—
29	29	21	21	—	PB10	I/O	FC	I2C2_SCL	—
								TSC_G2_IO3	
30	30	22	22	—	PB11	I/O	FC	I2C2_SDA	—
								EVENTOUT	
								TSC_G2_IO4	
31	31	23	23	16	VSS	S		Ground	
32	32	24	24	17	VDD	S		Digital power supply	
33	33	25	25	18	PB12	I/O	FC	SPI2_NSS	[COMP1_VIP]
								TIM1_BKIN	[COMP2_VIP]
								EVENTOUT	TSC_G2_CAP
34	34	26	26	—	PB13	I/O	FC	SPI2_SCK	—
								TIM1_CH1N	
								TSC_G2_IO5	
35	35	27	27	—	PB14	I/O	FC	SPI2_MISO	—
								TIM1_CH2N	
								TIM15_CH1	
								TSC_G2_IO6	
36	36	28	28	—	PB15	I/O	FC	TSC_G2_IO7	RTC_REFIN
								SPI2_MOSI	—
								TIM1_CH3N	
								TIM15_CH1N	
								TIM15_CH2	
37	37	—	—	—	PC6	I/O	FC	TIM3_CH1	—

LQFP64(A)	LQFP64(B)	LQFP48 (A)	LQFP48(B)	LQFP32(B)	Pin name	Pin type	Structure	AF	Add. Func
38	38	—	—	—	PC7	I/O	FC	TIM3_CH2	—
39	39	—	—	—	PC8	I/O	FC	TIM3_CH3	—
40	40	—	—	—	PC9	I/O	FC	TIM3_CH4	—
41	41	29	29	18	PA8	I/O	FC	USART1_CK	LEDDRV
								TIM1_CH1	
								EVENTOUT	
								MCO	
								CRS_SYNC	
								TSC_G2_IO8	
42	42	30	30	19	PA9	I/O	FC	USART1_TX	LEDDRV
								TIM1_CH2	
								TIM15_BKIN	
								MCO	
								TSC_G3_IO1	
43	43	31	31	20	PA10	I/O	FC	USART1_RX	LEDDRV
								TIM1_CH3	
								TIM17_BKIN	
								TSC_G3_IO2	
44	44	32	32	21	PA11	I/O	FC	USART1_CTS	LEDDRV
								TIM1_CH4	USB_DM
								EVENTOUT	—
								COMP1_OUT	
								TSC_G3_IO3	
45	45	33	33	22	PA12	I/O	FC	USART1_RTS	USB_DP
								TIM1_ETR	
								EVENTOUT	
								COMP2_OUT	
								TSC_G3_IO4	
46	46	34	34	23	PA13 (SWDIO)	I/O	FC	IR_OUT	LEDDRV
								SWDIO	[COMP1_VIP]
								—	[COMP2_VIP]
								—	TSC_G3_CAP

LQFP64(A)	LQFP64(B)	LQFP48 (A)	LQFP48(B)	LQFP32(B)	Pin name	Pin type	Structure	AF	Add. Func
47	—	35	—	—	VSS	S		Ground	
—	47	—	35	—	PF6	I/O	FC	I2C2SCL	—
48	—	36	—	—	VDD	S		Digital power supply	
—	48	—	36	—	PF7	I/O	FC	I2C2SDA	—
49	49	37	37	24	PA14 (SWCLK)	I/O	FC	USART2_TX	LEDDR
								SWCLK	
								TSC_G3_IO5	
50	50	38	38	25	PA15	I/O	FC	SPI1_NSS	LEDDR
								USART2_RX	
								EVENTOUT	
								TSC_G3_IO6	
51	51	—	—	—	PC10	I/O	FC	—	—
52	52	—	—	—	PC11	I/O	FC	—	—
53	53	—	—	—	PC12	I/O	FC	—	—
54	54	—	—	—	PD2	I/O	FC	TIM3_ETR	—
55	55	39	39	26	PB3	I/O	FC	SPI1_SCK	LEDDR
								EVENTOUT	
								TSC_G3_IO7	
56	56	40	40	27	PB4	I/O	FC	SPI1_MISO	LEDDR
								TIM3_CH1	
								EVENTOUT	
								TSC_G3_IO8	
57	57	41	41	28	PB5	I/O	FC	SPI1_MOSI	LEDDR
								I2C1_SMBA	
								TIM16_BKIN	
								TIM3_CH2	
58	58	42	42	29	PB6	I/O	FCf	I2C1_SCL	LEDDR
								USART1_TX	
								TIM16_CH1N	
59	59	43	43	30	PB7	I/O	FCf	I2C1_SDA	LEDDR
								USART1_RX	
								TIM17_CH1N	

LQFP64(A)	LQFP64(B)	LQFP48 (A)	LQFP48(B)	LQFP32(B)	Pin name	Pin type	Structure	AF	Add. Func
60	60	44	44	31	BOOT0	I	B	Boot memory selection	
61	61	45	45	—	PB8	I/O	FCf	I2C1_SCL	—
								TIM16_CH1	
62	62	46	46	—	PB9	I/O	FCf	I2C1_SDA	—
								IR_OUT	
								TIM17_CH1	
								EVENTOUT	
63	63	47	47	32	VSS	S	Ground		
64	64	48	48	—	VDD	S	Digital power supply		

表 4.2 引脚定义表中缩写说明

名称	缩写	定义
管脚名称	除非在管脚名称下方的括号中另有规定，复位期间和之后的管脚功能与实际管脚名称相同。	
管脚类型	S	电源脚
	I	输入脚
	I/O	输入/输出脚
I/O 结构	FC	标准 5V I/O
	FCf	标准 5V I/O, I2C FM+模式
	B	专用 BOOT0 脚
	RST	内置弱上拉的双向复位脚
注释	除非另有说明，否则所有的 I/O 在复位期间和复位之后被设置为输入悬空模式	
管脚功能	复用功能	通过 GPIOx_AFR 寄存器来选择相应的功能
	添加功能	通过外围寄存器直接去选中相应的功能，不受 GPIO 的控制寄存器影响

表 4.3 PA 端口复用功能

Pin name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0		USART2_CTS		TSC_G1_IO1				COMP1_OUT
PA1	EVENTOUT	USART2_RTS		TSC_G1_IO2				
PA2	TIM15_CH1	USART2_TX		TSC_G1_IO3				COMP2_OUT
PA3	TIM15_CH2	USART2_RX		TSC_G1_IO4				
PA4	SPI1_NSS	USART2_CK			TIM14_CH1			
PA5	SPI1_SCK	MCO		TSC_G1_IO5				
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN	TSC_G1_IO6		TIM16_CH1	EVENTOUT	COMP1_OUT
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	TSC_G1_IO7	TIM14_CH1	TIM17_CH1	EVENTOUT	COMP2_OUT
PA8	MCO	USART1_CK	TIM1_CH1	EVENTOUT	CRS_SYNC	TSC_G2_IO8		
PA9	TIM15_BKIN	USART1_TX	TIM1_CH2	TSC_G3_IO1		MCO		
PA10	TIM17_BKIN	USART1_RX	TIM1_CH3	TSC_G3_IO2				
PA11	EVENTOUT	USART1_CTS	TIM1_CH4	TSC_G3_IO3				COMP1_OUT
PA12	EVENTOUT	USART1_RTS	TIM1_ETR	TSC_G3_IO4				COMP2_OUT
PA13	SWDIO	IR_OUT						
PA14	SWCLK	USART2_TX		TSC_G3_IO5				
PA15	SPI1_NSS	USART2_RX		EVENTOUT	TSC_G3_IO6			

表 4.4 PB 端口复用功能

Pin name	AF0	AF1	AF2	AF3	AF4
PB0	EVENTOUT	TIM3_CH3	TIM1_CH2N	TSC_G2_IO1	
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	TSC_G1_IO8	
PB2				TSC_G2_IO2	
PB3	SPI1_SCK	EVENTOUT		TSC_G3_IO7	
PB4	SPI1_MISO	TIM3_CH1	EVENTOUT	TSC_G3_IO8	
PB5	SPI1_MOSI	TIM3_CH2	TIM16_BKIN	I2C1_SMBA	
PB6	USART1_TX	I2C1_SCL	TIM16_CH1N		
PB7	USART1_RX	I2C1_SDA	TIM17_CH1N		
PB8		I2C1_SCL	TIM16_CH1		
PB9	IR_OUT	I2C1_SDA	TIM17_CH1	EVENTOUT	
PB10		I2C2_SCL		TSC_G2_IO3	
PB11	EVENTOUT	I2C2_SDA		TSC_G2_IO4	
PB12	SPI2_NSS	EVENTOUT	TIM1_BKIN		
PB13	SPI2_SCK		TIM1_CH1N	TSC_G2_IO5	
PB14	SPI2_MISO	TIM15_CH1	TIM1_CH2N	TSC_G2_IO6	
PB15	SPI2_MOSI	TIM15_CH2	TIM1_CH3N	TIM15_CH1N	TSC_G2_IO7

表 4.5 PC/PD 端口复用功能

Pin name	AF0
PC0	EVENTOUT
PC1	EVENTOUT
PC2	EVENTOUT
PC3	EVENTOUT
PC4	EVENTOUT
PC6	TIM3_CH1
PC7	TIM3_CH2
PC8	TIM3_CH3
PC9	TIM3_CH4
PD2	TIM3_ETR

表 4.6 PF 端口复用功能

Pin name	AF0
PF4	EVENTOUT
PF5	EVENTOUT
PF6	I2C2_SCL
PF7	I2C2_SDA

5. 内存映射

程序存储器，数据存储器，寄存器和 IO 分配在同一个 4GB 的线性地址空间，4GB 的地址空间被均匀分为 8 部分，每部分大小为 512MB。

数据字节以小端格式存放在存储器中，即一个字的最低有效字节存放在最低字节地址，最高有效字节存放在最高字节地址。

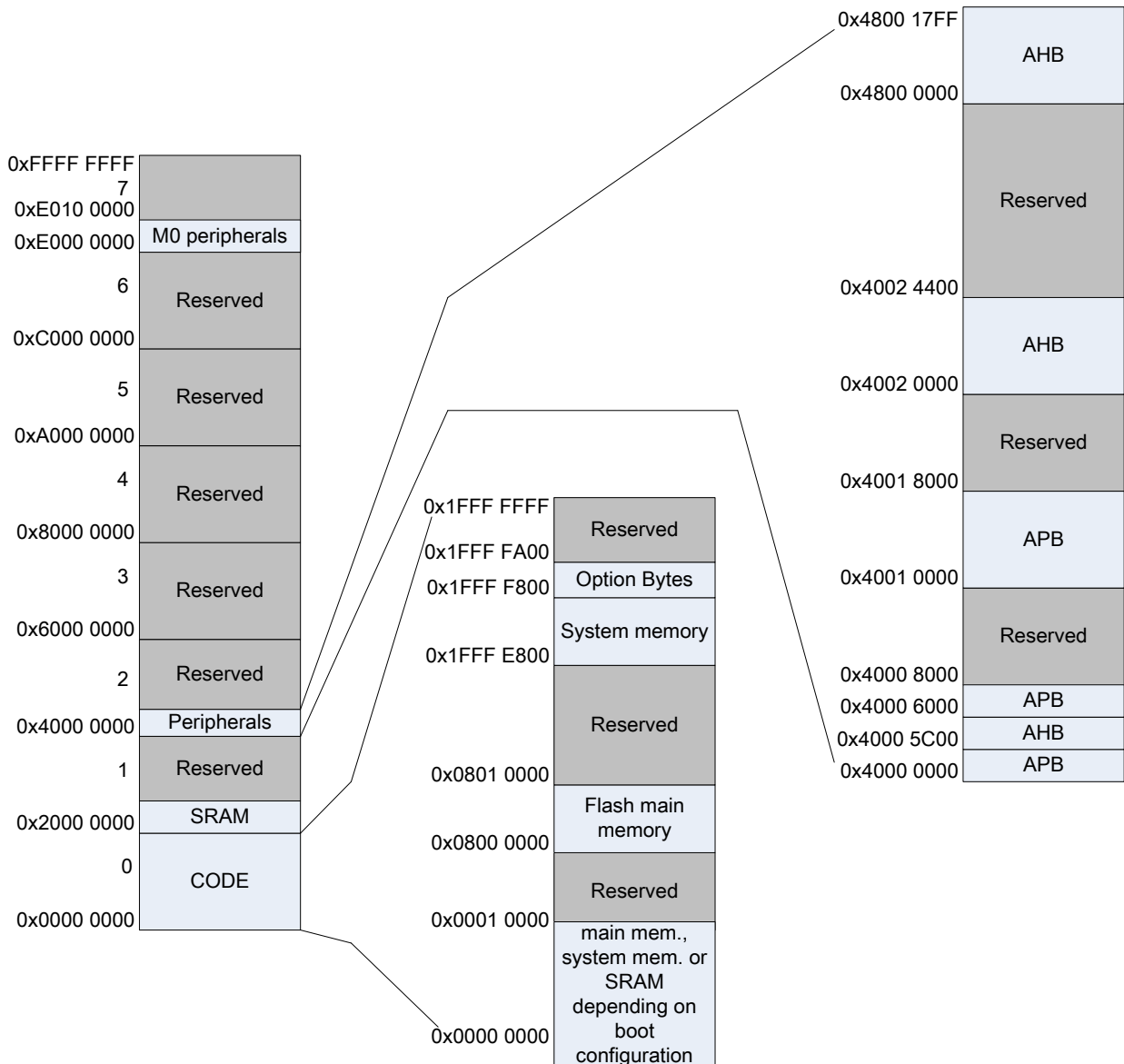


图 5-1 存储器映射示意图

1 Row = 2048 bits = 256 Bytes = 64 Words

1 Page = 2 Row = 128 Words

1Sector = 4 Pages = 8 Rows = 2 kBytes

表 5.1 外设寄存器边界地址

总线	地址范围	大小	外设	
AHB	0x4800 1800 – 0x5FFF FFFF	~384 MB	Reserved	
	0x4800 1400 – 0x4800 17FF	1 kB	GPIOF	
	0x4800 1000 – 0x4800 13FF	1 kB	Reserved	
	0x4800 0C00 – 0x4800 0FFF	1 kB	GPIOD	
	0x4800 0800 – 0x4800 0BFF	1 kB	GPIOC	
	0x4800 0400 – 0x4800 07FF	1 kB	GPIOB	
	0x4800 0000 – 0x4800 03FF	1 kB	GPIOA	
	0x4002 4400 – 0x47FF FFFF	~128 MB	Reserved	
	0x4002 4000 – 0x4002 43FF	1 kB	TSC	
	0x4002 3400 – 0x4002 3FFF	3 kB	Reserved	
	0x4002 3000 – 0x4002 33FF	1 kB	CRC	
	0x4002 2400 – 0x4002 2FFF	3 kB	Reserved	
	0x4002 2000 – 0x4002 23FF	1 kB	FLASH Interface	
	0x4002 1400 – 0x4002 1FFF	3 kB	Reserved	
	0x4002 1000 – 0x4002 13FF	1 kB	RCC	
	0x4002 0400 – 0x4002 0FFF	3 kB	Reserved	
	0x4002 0000 – 0x4002 03FF	1 kB	DMA	
	APB	0x4001 8000 – 0x4001 FFFF	32 kB	Reserved
		0x4001 5C00 – 0x4001 7FFF	9 kB	Reserved
0x4001 5800 – 0x4001 5BFF		1 kB	DBGMCU	
0x4001 4C00 – 0x4001 57FF		3 kB	Reserved	
0x4001 4800 – 0x4001 4BFF		1 kB	TIM17	
0x4001 4400 – 0x4001 47FF		1 kB	TIM16	
0x4001 4000 – 0x4001 43FF		1 kB	TIM15	
0x4001 3C00 – 0x4001 3FFF		1 kB	Reserved	
0x4001 3800 – 0x4001 3BFF		1 kB	USART1	
0x4001 3400 – 0x4001 37FF		1 kB	Reserved	
0x4001 3000 – 0x4001 33FF		1 kB	SPI1	
0x4001 2C00 – 0x4001 2FFF		1 kB	TIM1	
0x4001 2800 – 0x4001 2BFF		1 kB	Reserved	
0x4001 2400 – 0x4001 27FF		1 kB	ADC	
0x4001 0800 – 0x4001 23FF		7 kB	Reserved	
0x4001 0400 – 0x4001 07FF		1 kB	EXTI	
0x4001 0000 – 0x4001 03FF		1 kB	SYSCFG+COMP+OP	
0x4000 7400 – 0x4000 FFFF		35 kB	Reserved	
0x4000 7000 – 0x4000 73FF		1 kB	PWR	
0x4000 6C00 – 0x4000 6FFF		1 kB	CRS	

总线	地址范围	大小	外设
	0x4000 6000 – 0x4000 6BFF	3kB	Reserved
AHB	0x4000 5C00 – 0x4000 5FFF	1 kB	USB
APB	0x4000 5800 – 0x4000 5BFF	1 kB	I2C2
APB	0x4000 5400 – 0x4000 57FF	1 kB	I2C1
	0x4000 4800 – 0x4000 53FF	3 kB	Reserved
	0x4000 4400 – 0x4000 47FF	1 kB	USART2
	0x4000 3C00 – 0x4000 43FF	2 kB	Reserved
	0x4000 3800 – 0x4000 3BFF	1 kB	SPI2
	0x4000 3400 – 0x4000 37FF	1 kB	Reserved
	0x4000 3000 – 0x4000 33FF	1 kB	IWDG
	0x4000 2C00 – 0x4000 2FFF	1 kB	WWDG
	0x4000 2800 – 0x4000 2BFF	1 kB	RTC
	0x4000 2400 – 0x4000 27FF	1 kB	Reserved
	0x4000 2000 – 0x4000 23FF	1 kB	TIM14
	0x4000 1400 – 0x4000 1FFF	3 kB	Reserved
	0x4000 1000 – 0x4000 13FF	1 kB	TIM6
	0x4000 0800 – 0x4000 0FFF	2 kB	Reserved
	0x4000 0400 – 0x4000 07FF	1 kB	TIM3
	0x4000 0000 – 0x4000 03FF	1 kB	Reserved

6. 电气特性

6.1. 测试条件

除非特别说明，所有的电压都以 V_{SS} 为基准。

6.1.1. 最小值和最大值

除非特别说明，最小值和最大值是在环境温度 $T_A = 25\text{ }^\circ\text{C}$ ， $V_{DD} = 3.3\text{ V}$ 下执行的测试。在每个表格下方的注解中说明为设计模拟或工艺特性得到的数据，不会在生产线上进行测试。

6.1.2. 典型值

除非特别说明，典型值基于 $T_A = 25\text{ }^\circ\text{C}$ 和 $V_{DD} = 3.3\text{ V}$ 。这些数据仅用于设计指导而未经测试。

6.1.3. 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

6.1.4. 负载电容

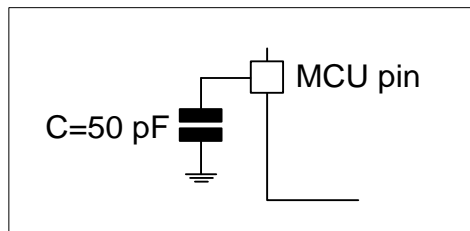


图 6-1 引脚的负载条件

6.1.5. 引脚输入电压

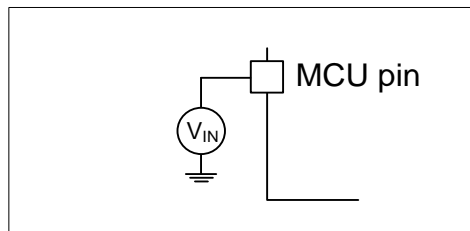


图 6-2 引脚输入电压

6.1.6. 供电方案

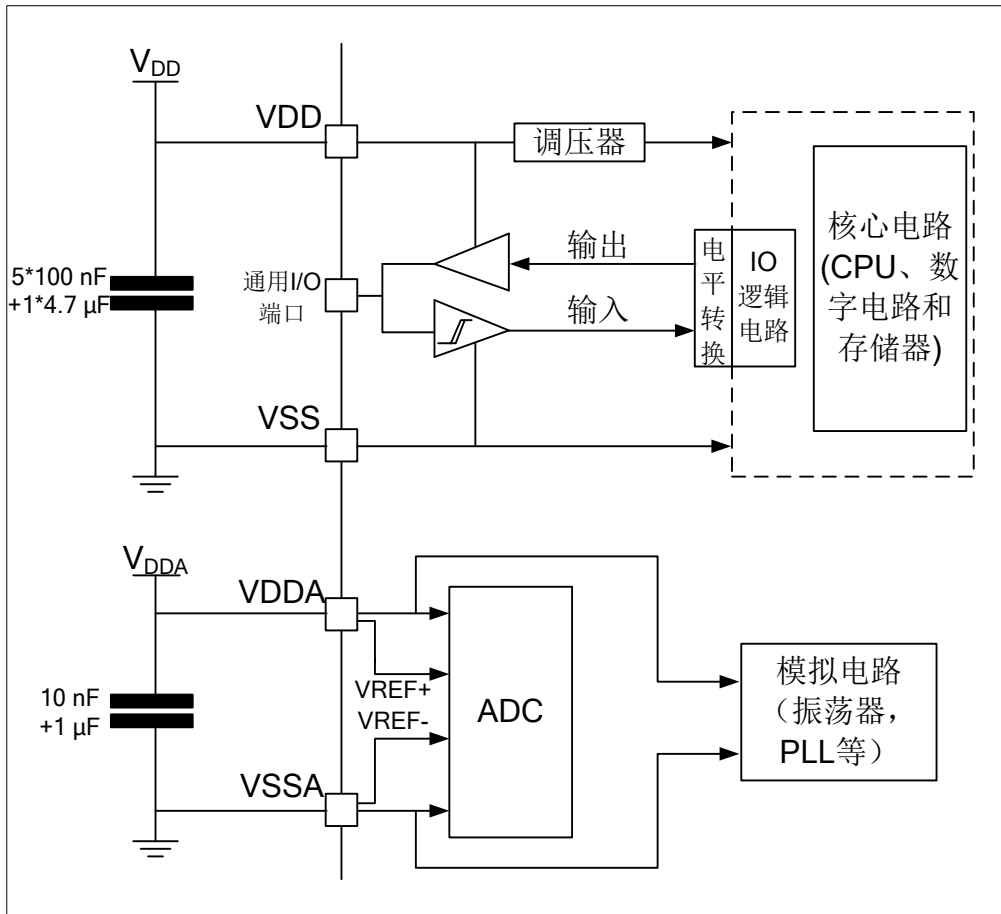


图 6-3 供电方案图

注：如图所示，每组电源(V_{DD}/V_{SS} , V_{DDA}/V_{SSA})必须接滤波陶瓷电容，且尽可能地靠近MCU芯片。

6.1.7. 电流消耗测量

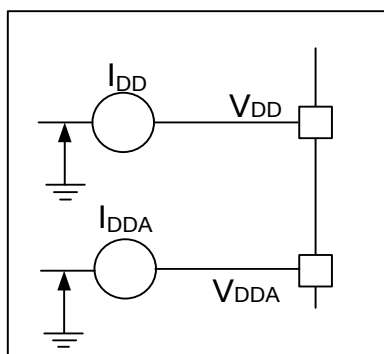


图 6-4 电流消耗测量方案

6.2. 绝对最大额定值

加在器件上的载荷如果超过最大额定值列表给出的值,可能会导致器件永久性地损坏。这里只给出了能承受的最大载荷,并不意味着在此条件下器件的功能性运行正常。器件长期工作在最大值条件下会影响器件的可靠性。

表 6.1 最大额定电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主供电电压 ⁽¹⁾	-0.3	6.0	V
$V_{DDA}-V_{SSA}$	外部模拟供电电压 ⁽¹⁾	-0.3	6.0	V
$V_{DD}-V_{DDA}$	允许的 $V_{DD}-V_{DDA}$ 差	0	0	V
$V_{IN}^{(2)}$	在引脚上的输入电压	$V_{SS} - 0.3$	$V_{DD} + 0.3$	V
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	—	0	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差	—	0	mV

1. 所有的电源 (V_{DD} 、 V_{DDA}) 和地 (V_{SS} 、 V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循 V_{IN} 的最大值。允许的最大注入电流值 $I_{INJ(PIN)}$, 请参见下表。

表 6.2 最大额定电流特性

符号	描述	最大值	单位
ΣI_{VDD}	经过 V_{DD}/V_{DDA} 电压线的总电流 (供应电流) ⁽¹⁾	120	mA
ΣI_{VSS}	经过 V_{SS} 地线的总电流 (流出电流) ⁽¹⁾	-120	
I_{VDD}	流过每个 V_{DD} 电压线的最大电流 (供应电流) ⁽¹⁾	100	
I_{VSS}	流过每个 V_{SS} 电压线的最大电流 (流出电流) ⁽¹⁾	-100	
I_{IO}	任意 I/O (除 PA11 和 PA12 外) 和控制引脚上的输出灌电流	24	
	PA11 和 PA12 引脚上的输出灌电流	40	
	任意 I/O (除 PA11 和 PA12 外) 和控制引脚上的输出源电流	-18	
	PA11 和 PA12 引脚上的输出源电流	-27	
$I_{IO(LED)}$	PA8~10, PA13~15, PB0~7 引脚上的输出灌电流	45	
	PA8~10, PA13~15, PB0~7 引脚上的输出源电流	-2	
$I_{INJ(PIN)}^{(2)(3)}$	FC 和 FCf 管脚上的注入电流	-1/+0	
	复位管脚上的注入电流	0/+5	
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	± 25	

1. 所有的电源 (V_{DD} 、 V_{DDA}) 和地 (V_{SS} 、 V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限,即保证 V_{IN} 不超过其最大值。如果 V_{IN} 超过最大值,必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时,有一个正向注入电流;当 $V_{IN} < V_{SS}$ 时,有一个反向注入电流。
3. 反相注入电流会干扰器件的模拟性能。
4. 当几个 IO 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

表 6.3 温度特性

符号	描述	数值	单位
T_{STG}	存储温度范围	-40 to +150	°C
T_J	最大结温度	150	°C

6.3. 操作条件

6.3.1. 通用工作条件

表 6.4 通用工作条件

符号	参数		条件	最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率		—	0	72	MHz
f _{PCLK}	内部 APB 时钟频率		—	0	72	MHz
V _{DD}	标准工作电压		—	2.0	5.5	V
V _{DDA}	模拟部分工作电压	ADC_VREF = VDDA, ADCCLK ≤ 500kHz	V _{DDA} = V _{DD}	2.0	5.5	V
		ADC_VREF = VDDA, ADCCLK ≤ 16MHz		2.4	5.5	V
		ADC_VREF = Int.2.5V, ADCCLK ≤ 250kHz		2.7	5.5	V
P _D	T _A = 85 °C 时的功率耗散 ⁽¹⁾		LQFP64	—	333	mW
			LQFP48	—	370	
			LQFP32	—	364	
T _A	环境温度		最大功率耗散	-40	105	°C
			低功率耗散 ⁽²⁾	-40	125	
T _J	结温度范围		—	-40	125	°C

1. 如果 T_A 较低，只要 T_J 不超过 T_{JMAX}，则允许更高的 P_D 数值。
2. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{JMAX}，T_A 可以扩展到这个范围。

6.3.2. 上电和掉电时的工作条件

下表参数是在一般工作条件测试得出。

表 6.5 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
T _{VDD}	V _{DD} 上升速率	T _A = 25 °C	0	∞	μs/V
	V _{DD} 下降速率		20	∞	

6.3.3. 内部复位和电源控制模块特性

表 6.6 内部复位和电源控制模块特性表

符号	参数	条件	最小值	典型值	最大值	单位
V _{POR/PDR} ⁽¹⁾	上电/掉电复位阈值	下降沿	1.61	1.68	1.75	V
		上升沿	1.65	1.72	1.79	V
V _{PDRHYST} ⁽²⁾	掉电迟滞	—	—	40	—	mV
t _{RSTTEMPO} ⁽²⁾	复位持续时间	—	—	2.5	—	ms

1. PDR 同时检测 V_{DD} 和 V_{DDA} (如果使能)，而 POR 只检测 V_{DD}。
2. 数据基于特性值，并未生产测试。

表 6.7 可编程电压检测特性表

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD0}	PVD 阈值 0	PLS[3:0]=0000 (上升沿)	1.71	1.78	1.85	V
		PLS[3:0]=0000 (下降沿)	1.61	1.68	1.75	V
V _{PVD1}	PVD 阈值 1	PLS[3:0]=0001 (上升沿)	1.81	1.88	1.95	V
		PLS[3:0]=0001 (下降沿)	1.71	1.78	1.85	V
V _{PVD2}	PVD 阈值 2	PLS[3:0]=0010 (上升沿)	1.90	1.98	2.05	V
		PLS[3:0]=0010 (下降沿)	1.80	1.88	1.95	V
V _{PVD3}	PVD 阈值 3	PLS[3:0]=0011 (上升沿)	2.00	2.08	2.16	V
		PLS[3:0]=0011 (下降沿)	1.90	1.98	2.06	V
V _{PVD4}	PVD 阈值 4	PLS[3:0]=0100 (上升沿)	2.10	2.18	2.26	V
		PLS[3:0]=0100 (下降沿)	2.00	2.08	2.16	V
V _{PVD5}	PVD 阈值 5	PLS[3:0]=0101 (上升沿)	2.19	2.28	2.37	V
		PLS[3:0]=0101 (下降沿)	2.09	2.18	2.27	V
V _{PVD6}	PVD 阈值 6	PLS[3:0]=0110 (上升沿)	2.29	2.38	2.47	V
		PLS[3:0]=0110 (下降沿)	2.19	2.28	2.37	V
V _{PVD7}	PVD 阈值 7	PLS[3:0]=0111 (上升沿)	2.38	2.48	2.58	V
		PLS[3:0]=0111 (下降沿)	2.28	2.38	2.48	V
V _{PVD8}	PVD 阈值 8	PLS[3:0]=1000 (上升沿)	2.48	2.58	2.68	V
		PLS[3:0]=1000 (下降沿)	2.38	2.48	2.58	V
V _{PVD9}	PVD 阈值 9	PLS[3:0]=1001 (上升沿)	2.58	2.68	2.78	V
		PLS[3:0]=1001 (下降沿)	2.48	2.58	2.68	V
V _{PVD10}	PVD 阈值 10	PLS[3:0]=1010 (上升沿)	2.67	2.78	2.89	V
		PLS[3:0]=1010 (下降沿)	2.57	2.68	2.79	V
V _{PVD11}	PVD 阈值 11	PLS[3:0]=1011 (上升沿)	2.77	2.88	2.99	V
		PLS[3:0]=1011 (下降沿)	2.67	2.78	2.89	V
V _{PVD12}	PVD 阈值 12	PLS[3:0]=1100 (上升沿)	3.49	3.64	3.78	V
		PLS[3:0]=1100 (下降沿)				
V _{PVD13}	PVD 阈值 13	PLS[3:0]=1101 (上升沿)	2.96	3.08	3.20	V
		PLS[3:0]=1101 (下降沿)	2.86	2.98	3.10	V
V _{PVD14}	PVD 阈值 14	PLS[3:0]=1110 (上升沿)	3.80	3.97	4.13	V
		PLS[3:0]=1110 (下降沿)				
V _{PVD15}	PVD 阈值 15	PLS[3:0]=1111 (上升沿)	3.15	3.28	3.41	V
		PLS[3:0]=1111 (下降沿)	3.05	3.18	3.31	V
V _{PVDhyst}	PVD 迟滞	—	—	100	—	mV

6.3.4. 内部基准电压

表 6.8 中给出的参数来自于表 6.4 中概括的环境温度和电源电压条件下的测试。

表 6.8 嵌入式内部基准电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部基准电压	25 °C	1.23	1.25	1.27	V
t_{START}	ADC_IN17 缓冲启动时间	—	—	10 ⁽¹⁾	—	μs
$t_{S_vrefint}$	读取内部基准电压时 ADC 采样时间	—	4 ⁽¹⁾	—	—	μs
ΔV_{REFINT}	覆盖整个温度范围的内部基准电压	$V_{DDA} = 3V$	—	—	20 ⁽¹⁾	mV
T_{Coff}	温度系数	-40 – 85 °C	-180 ⁽¹⁾	—	100 ⁽¹⁾	ppm/°C
		-40 – 105 °C	-280 ⁽¹⁾	—	100 ⁽¹⁾	ppm/°C

1. 设计保证，未在产品中测试。

表 6.9 ADC 参考电压

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
V_{ADCREf}	ADC 内部参考电压	$V_{DDA} \geq 2.7V$ (-40 – 105 °C)	2.462	2.5	2.537	V

1. 设计保证，未在产品中测试。

表 6.10 DAC 参考电压

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
V_{DACREF}	DAC 内部 2V 参考电压	$V_{DDA} \geq 2.5V$ -40 – 105 °C	1.98	2.0	2.02	V
	DAC 内部 3V 参考电压	$V_{DDA} \geq 3.5V$ -40 – 105 °C	2.97	3.0	3.03	
	DAC 内部 4V 参考电压	$V_{DDA} \geq 4.5V$ -40 – 105 °C	3.96	4.0	4.04	
	DAC 参考电压	-40 – 105 °C	—	V_{DDA}	—	

1. 设计保证，未在产品中测试。

6.3.5. 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置及执行的代码等。

电流消耗的测量方法说明，详见图 6-4。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

微控制器处于下列条件：

- 所有的 I/O 引脚都处于模拟输入模式。
- 所有的外设处于关闭状态，除非特殊说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率
 在 0~24 MHz 下，0 个等待状态并且指令预取关闭。
 在 24~48 MHz 时，1 个等待状态并且指令预取打开。
 在 48 MHz 以上时，2 个等待状态并且指令预取打开。
- 当外设打开时 $f_{HCLK}=f_{PCLK}$ 。

表 6.11 在 VDD=5V 条件下典型电流消耗

符号	参数	条件	f_{HCLK}	所有外设使能			所有外设关闭			单位
				典型值 @T _A ⁽¹⁾			典型值 @T _A ⁽¹⁾			
				25 °C	85 °C	105 °C	25 °C	85 °C	105 °C	
I _{DD}	运行模式下从 FLASH 执行程序时的电流	HSI48	48 MHz	10.79	10.91	10.87	5.77	5.88	5.88	mA
		HSE 旁路 PLL ON	72MHz	14.51	14.52	14.72	7.78	7.90	7.91	
			48 MHz	10.02	10.31	10.21	5.46	5.48	5.58	
			36 MHz	7.88	8.03	8.05	4.54	4.64	4.63	
			24 MHz	5.57	5.76	5.75	3.21	3.29	3.26	
			16MHz	4.52	4.56	4.58	2.87	2.98	2.97	
		HSE 旁路 PLL OFF	8 MHz	2.01	2.06	2.09	1.15	1.23	1.24	
			1 MHz	0.35	0.38	0.40	0.25	0.27	0.29	
		HSI PLL ON	72 MHz	14.82	15.01	15.04	7.71	7.91	7.96	
			48 MHz	10.18	10.31	10.48	5.42	5.58	5.62	
	36 MHz		8.05	8.34	8.46	4.48	4.59	4.68		
	24MHz		5.67	5.90	5.96	3.21	3.33	3.39		
	HSI	16MHz	4.45	4.64	4.66	2.80	2.93	2.95		
		8MHz	2.05	2.19	2.26	1.12	1.19	1.22		
	运行模式下从 SRAM 执行程序时的电流	HSI48	48 MHz	10.59	10.61	10.64	4.45	4.50	4.52	
		HSE 旁路 PLL ON	72 MHz	15.76	15.91	16.05	4.89	4.93	5.02	
			48 MHz	10.73	10.86	10.98	3.31	3.36	3.43	
			36 MHz	8.16	8.19	8.35	2.52	2.56	2.61	
			24 MHz	5.52	5.55	5.68	1.72	1.75	1.80	
		HSE 旁路 PLL OFF	16 MHz	3.72	3.77	3.85	1.20	1.22	1.26	
8 MHz			1.88	1.90	1.96	0.84	0.85	0.89		
HSI PLL ON		1 MHz	0.34	0.36	0.39	0.21	0.23	0.25		
	72 MHz	15.76	16.22	16.44	4.82	4.98	5.09			

符号	参数	条件	f _{HCLK}	所有外设使能			所有外设关闭			单位
				典型值@T _A ⁽¹⁾			典型值@T _A ⁽¹⁾			
				25 °C	85 °C	105 °C	25 °C	85 °C	105 °C	
I _{DD}	运行模式下从SRAM执行程序时的电流	HSI PLL ON	48 MHz	10.73	11.08	11.21	3.45	3.57	3.61	
			36 MHz	8.16	8.46	8.50	2.46	2.76	2.79	
			24 MHz	5.52	5.76	5.80	1.67	1.74	1.84	
			16 MHz	3.82	3.87	3.97	1.15	1.39	1.42	
		HSI	8 MHz	1.95	2.03	2.05	0.78	0.84	1.05	
I _{DD}	睡眠模式下的电流	HSI48	48 MHz	7.92	7.94	7.97	4.32	4.37	4.45	mA
		HSE 旁路 PLL ON	72 MHz	11.47	11.41	11.60	4.66	4.67	4.71	
			48 MHz	7.75	7.83	7.83	3.16	3.19	3.22	
			36 MHz	5.83	6.96	7.12	2.39	2.44	2.46	
			24 MHz	3.97	4.04	4.01	1.62	1.63	1.64	
			16 MHz	2.71	2.77	2.77	1.14	1.17	1.20	
		HSE 旁路 PLL OFF	8 MHz	1.38	1.42	1.43	0.61	0.63	0.64	
			1 MHz	0.28	0.30	0.32	0.18	0.20	0.22	
		HSI PLL ON	72 MHz	11.45	12.84	12.95	4.58	5.88	5.91	
			48 MHz	7.73	9.03	9.05	3.11	3.16	3.21	
			36 MHz	5.91	7.10	7.20	2.34	2.40	2.44	
			24 MHz	4.03	5.01	5.12	1.58	1.64	1.67	
			16 MHz	2.75	2.83	2.87	1.08	1.13	1.16	
		HSI	8 MHz	1.89	1.95	2.01	0.56	0.59	0.62	

1. 基于特性值，未实际生产测试。
2. 外设不包括 USB

表 6.12 在 VDDA 供电条件下典型电流消耗⁽¹⁾

符号	参数	条件	f _{HCLK}	V _{DDA} =2.0 V			V _{DDA} =5.5 V			单位
				典型值@T _A ⁽²⁾			典型值@T _A ⁽²⁾			
				25 °C	85 °C	105 °C	25 °C	85 °C	105 °C	
I _{DDA}	运行模式/ 睡眠模式 下从 FLASH /SRAM 执行程序 的电流	HSI48	48 MHz	369	379	382	375	385	388	μA
		HSE 旁路 PLL ON	72 MHz	449	467	472	459	483	487	
			48 MHz	359	370	373	366	376	389	
			36 MHz	313	321	324	319	328	331	
			24 MHz	262	273	277	268	288	292	
			16 MHz	226	242	246	233	257	255	
		HSE 旁路 PLL OFF	8 MHz	43	50	52	48	55	57	
			1 MHz	43	50	52	48	55	57	
		HSI PLL ON	72 MHz	513	537	545	526	550	559	
			48 MHz	423	440	446	436	453	459	
			36 MHz	375	389	395	388	402	408	
			24 MHz	325	341	348	338	355	361	
			16 MHz	289	310	317	302	323	331	
		HSI	8 MHz	109	120	123	121	132	136	

1. V_{DDA} 供电时电流消耗是独立的，数字外设打开或者关闭，MCU 处于运行模式还是睡眠模式，从 FLASH 执行程序还是 SRAM 执行程序，都不影响此电流消耗。
2. 基于特性值，未实际生产测试。

表 6.13 RTC 电流功耗

符号	参数	条件	典型值@ (V _{DD} = V _{DDA}) ⁽¹⁾			单位	
			2.0V	3.3V	5.5V		
I _{DD}	RTC 电流	RTC & LSE ON	LSEDRV[1:0]=00	0.7	0.9	1.7	μA
			LSEDRV[1:0]=01	0.9	1.1	1.9	
			LSEDRV[1:0]=10	0.8	1.0	1.8	
			LSEDRV[1:0]=11	1.0	1.2	2.0	
I _{DD} + I _{DDA}		RTC & LSI ON	1.1	1.5	2.0		

1. 数值基于特性值，未实际生产测试

表 6.14 停止模式和待机模式下电流消耗

符号	参数	条件	典型值@ ($V_{DD}=V_{DDA}$) ⁽¹⁾									单位		
			$T_A = 25\text{ }^\circ\text{C}$			$T_A = 85\text{ }^\circ\text{C}$			$T_A = 105\text{ }^\circ\text{C}$					
			2.0 V	3.3 V	5.5 V	2.0 V	3.3 V	5.5 V	2.0 V	3.3 V	5.5 V			
I_{DD}	停止模式电流	调节器处于运行模式, 所有时钟关闭	12.71	13.02	13.80	31.52	32.03	33.71	50.08	51.03	53.44	μA		
		调节器处于低功耗模式, 所有时钟关闭	3.91	4.22	4.77	20.85	20.68	22.20	42.51	42.32	44.55			
	待机模式电流	LSI 打开, IWDG 打开	0.68	1.15	1.99	0.97	1.54	2.61	1.36	2.00	3.25			
		LSI 关闭, IWDG 关闭	0.39	0.64	1.07	0.62	0.95	1.56	1.01	1.41	2.20			
I_{DDA}	停止模式电流	VDDA 监控打开	调节器处于运行模式所有时钟关闭	1.49	1.78	2.32	1.81	2.20	2.91	1.95	2.36		3.16	
			调节器处于低功耗模式所有时钟关闭	1.49	1.79	2.32	1.81	2.19	2.91	1.97	2.39		3.20	
	待机模式电流	VDDA 监控打开	LSI 打开, IWDG 打开	2.08	2.40	2.99	2.39	2.79	3.55	2.58	3.03		3.89	
			LSI 关闭, IWDG 关闭	1.39	1.69	2.22	1.70	2.08	2.78	1.87	2.29		3.09	
	停止模式电流	VDDA 监控关闭	调节器处于运行模式所有时钟关闭	0.95	0.99	1.08	1.07	1.16	1.35	1.26	1.32		1.54	
			调节器处于低功耗模式所有时钟关闭	0.95	0.99	1.08	1.14	1.19	1.35	1.24	1.30		1.52	
			待机模式电流	LSI 打开, IWDG 打开	1.56	1.62	1.76	1.78	1.85	2.05	1.90		1.98	2.24
				LSI 关闭, IWDG 关闭	0.86	0.90	0.98	1.03	1.08	1.23	1.14		1.20	1.39

1. 数值基于特性值, 并未生产测试。

典型电流消耗

MCU 处于下述条件:

- $V_{DD}=V_{DDA}=3.3\text{ V}$ 。
- 所有 I/O 引脚处于模拟输入。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率:

在 0~24 MHz 下, 0 个等待状态并且指令预取关闭, 在 24 MHz 以上时, 1 个等待状态并且指令预取打开。

- 当外设打开时 $f_{HCLK}=f_{PCLK}$ 。
- PLL 用于频率大于 8 MHz。
- AHB 预分频比 2、4、8、16、64 用于产生 4 MHz、2 MHz、1 MHz、500 kHz 和 125kHz 时钟。

表 6.15 运行模式下典型电流消耗, 代码从 FLASH 取出, 从 HSE 8 MHz 晶振时钟执行

符号	参数	f_{HCLK}	运行模式 (典型值 @ 25 °C)		睡眠模式 (典型值 @ 25 °C)		单位
			外设打开	外设关闭	外设打开	外设关闭	
I_{DD}	V_{DD} 供电的电流消耗	72 MHz	14.05	6.98	11.71	3.65	mA
		48 MHz	9.72	4.91	8.13	2.51	
		36 MHz	7.49	3.91	6.29	1.94	
		32 MHz	6.62	3.59	4.83	1.76	
		24 MHz	5.18	2.89	3.70	1.38	
		16 MHz	3.68	2.13	2.54	0.99	
		8 MHz	1.94	1.18	1.36	0.59	
		4 MHz	1.09	0.70	0.97	0.57	
		2 MHz	0.66	0.46	0.60	0.40	
		1 MHz	0.44	0.34	0.41	0.31	
		500 kHz	0.34	0.29	0.32	0.27	
		125 kHz	0.25	0.24	0.26	0.24	
I_{DDA}	V_{DDA} 供电的电流消耗	72 MHz	442				μA
		48 MHz	354				
		36 MHz	306				
		32 MHz	292				
		24 MHz	257				
		16 MHz	222				
		8 MHz	44				
		4 MHz	44				
		2 MHz	44				
		1 MHz	44				
		500 kHz	44				
		125 kHz	44				

内置外设电流消耗

内置外设的电流消耗列在表 6.16, MCU 的工作条件如下:

- 所有的 I/O 处于模拟状态
- 所有外设处于关闭状态, 除非特别说明

- 给出的数值是通过测量电流消耗得出：1.关闭所有外设时钟 2.只有一个外设时钟打开
- 环境温度和 VDD 供电电压条件列于表 6.4

表 6.16 外设电流消耗

外设		典型值 @25 °C	单位
AHB	Busmatrix ⁽¹⁾	2.2	μA/MHz
	CRC	1.8	
	DMA	22.5	
	FLASH interface	13.0	
	GPIOA	6.1	
	GPIOB	6.1	
	GPIOC	5.9	
	GIPOD	5.1	
	GPIOF	5.6	
	SRAM	0.8	
	TOUCH	5.5	
	USB	5.0	
APB	APB 桥 ⁽²⁾	2.8	
	ADC	3.0	
	CRS	2.8	
	DBG	5.9	
	I2C1	8.9	
	I2C2	16.2	
	SPI1	4.5	
	SPI2	8.5	
	PWR	2.5	
	USART1	18.0	
	USART2	10.5	
	SYSCFG	2.8	
	TIM1	10.8	
	TIM3	9.5	
	TIM6	3.9	
	TIM14	5.0	
	TIM15	10.7	
	TIM16	9.5	
TIM17	9.1		
WWDG	2.7		
IWDG	5.0		

1. 当 CPU 或者 DMA 使能时，BusMatrix 自动打开。
2. 当访问任意 APB 外设时，APB 桥自动使能。

6.3.6. 低功耗模式唤醒时间

表 6.17 低功耗模式唤醒时间

符号	参数	条件	典型值 @ ($V_{DD}=V_{DDA}$)	单位
			3.3 V	
t_{WUSTOP}	从停止模式唤醒	调节器处于运行模式	10 ⁽¹⁾	μs
		调节器处于低功耗模式	10 ⁽¹⁾	
$t_{WUSTANDBY}$	从待机模式唤醒	—	40 ⁽¹⁾	
$t_{WUSLEEP}$	从睡眠模式唤醒	—	4 个 SYSCLK 时钟周期	

1. 数值为设计值，并未生产测试。

6.3.7. 外部时钟源特性

来自外部振荡器产生的高速外部用户时钟

下表给出的特性参数是使用一个高速外部时钟源测得，环境温度和供电电压符合表 6.4。

表 6.18 外部高速时钟源特性表

符号	参数	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率	4	8	32	MHz
V_{HSEH}	OSC_IN 引脚高电平电压	$0.7 V_{DD}$	—	V_{DD}	V
V_{HSEL}	OSC_IN 引脚低电平电压	V_{SS}	—	$0.3 V_{DD}$	
$t_{W(HSEH)}$ $t_{W(HSEL)}$	OSC_IN 高/低电平时间	—	15	—	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN 上升或下降时间	—	20	—	

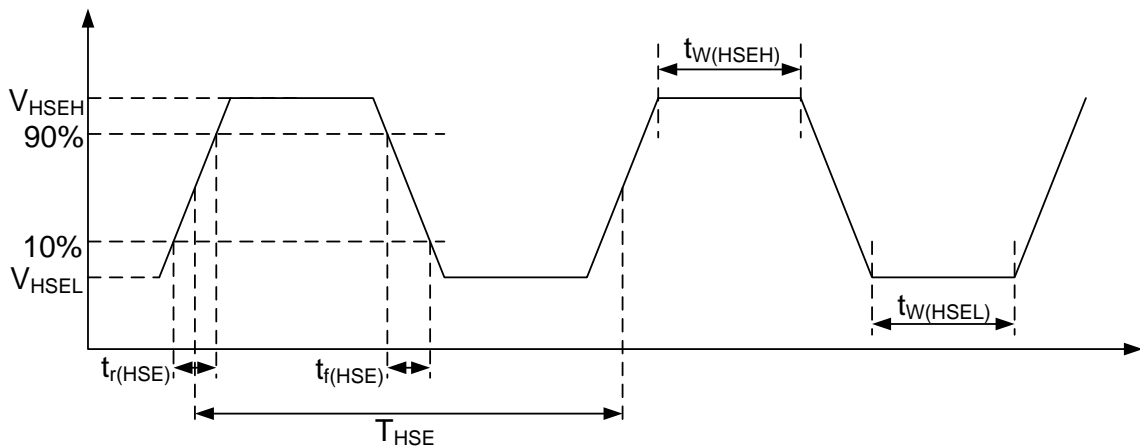


图 6-5 高速外部时钟源的交流时序图

来自外部振荡器产生的低速外部用户时钟

表 6.19 外部低速时钟源特性表

符号	参数	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率	—	32.768	1000	kHz
V_{LSEH}	OSC32_IN 引脚高电平电压	$0.7 V_{DD}$	—	V_{DD}	V
V_{LSEL}	OSC32_IN 引脚低电平电压	V_{SS}	—	$0.3 V_{DD}$	
$t_{w(LSEH)}$ $t_{w(LSEL)}$	OSC32_IN 高/低电平时间	—	450	—	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN 上升或下降时间	—	50	—	

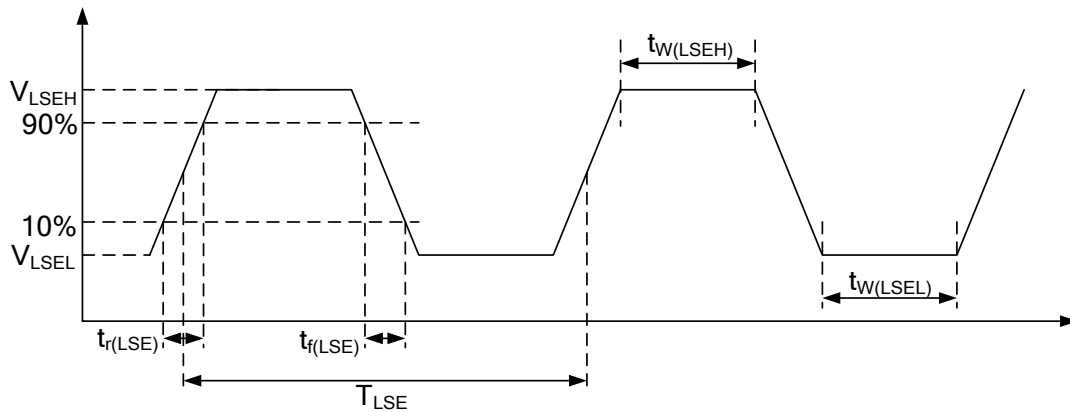


图 6-6 外部低速时钟源交流时序图

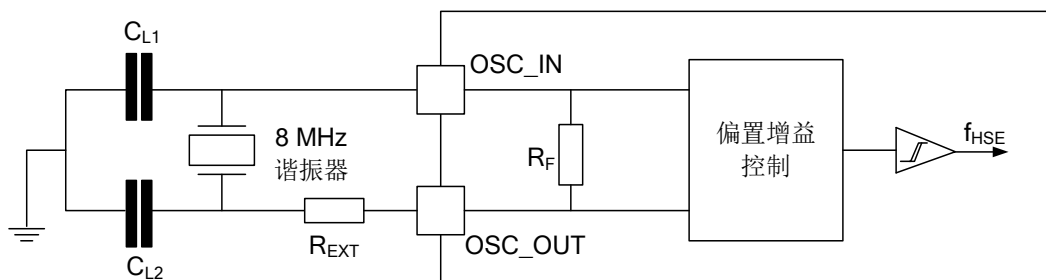
使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 4~32MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节所给出的数据都是通过特性评估给出的。在应用中，谐振器和负载电容必须尽可能地靠近谐振器的引脚，以减少输出失真和启动时的稳定时间。

表 6.20 HSE 振荡器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
f_{OSC_IN}	振荡器频率	—	4	8	32	MHz
R_F	反馈电阻	—	—	3.6	—	MΩ
I_{DD}	HSE 电流消耗	$V_{DD}=3.3 V, R_M=30 \Omega$ $CL=10pF@8 MHz$	—	0.6	—	mA
		$V_{DD}=3.3 V, R_M=45 \Omega$ $CL=10pF@8 MHz$	—	0.6	—	
		$V_{DD}=3.3 V, R_M=30 \Omega$ $CL=5pF@32 MHz$	—	0.6	—	
		$V_{DD}=3.3 V, R_M=30 \Omega$ $CL=10pF@32 MHz$	—	0.6	—	
		$V_{DD}=3.3 V, R_M=30 \Omega$ $CL=20pF@32 MHz$	—	0.8	—	
g_m	振荡器的跨导	启动	10	—	—	mA/V
$t_{SU(HSE)}$ ⁽²⁾	启动时间	V_{DD} 是稳定的	—	2	—	ms

1. 数值基于特性值，未实际生产测试
2. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始，直到得到稳定的 8MHz 震荡的这段时间。这个数值是在一个标准晶体谐振器上测量的，它可能因晶体不同而变化。



R_{EXT} 数值由晶体的特性决定

图 6-7 使用 8MHz 晶体的典型应用

对于 C_{L1} 和 C_{L2} ，建议使用高质量的，专门为高频应用设计的 5 pF~20 pF 之间的瓷介电容器，并挑选符合要求的晶振或谐振器。通常 C_{L1} 和 C_{L2} 大小一致，晶体制造商通常以 C_{L1} 和 C_{L2} 的串联组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，应该把 PCB 和 MCU 引脚的容抗考虑在内（可以粗略地把引脚与 PCB 板的电容按 10 pF 估计）。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟（LSE）可以使用一个 32.768 kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节所给出的数据都是通过特性评估给出的。在应用中，谐振器和负载电容必须尽可能靠近振荡器引脚，以减少输出失真和启动时的稳定时间。

表 6.21 LSE 振荡器特性 ($f_{LSE}=32.768$ kHz)

符号	参数	条件	典型值@ ($V_{DD} = V_{DDA}$) ⁽¹⁾		单位
			3.3V	5.5V	
I_{DD}	LSE 电流消耗	LSEDRV[1:0]=00	0.6	1.3	μA
		LSEDRV[1:0]=01	0.8	1.5	
		LSEDRV[1:0]=10	0.7	1.4	
		LSEDRV[1:0]=11	0.9	1.6	
g_m	振荡器跨导	LSEDRV[1:0]=00	5		$\mu A/V$
		LSEDRV[1:0]=01	11		
		LSEDRV[1:0]=10	8		
		LSEDRV[1:0]=11	15		
$t_{SU(LSE)}$ ⁽²⁾	启动时间	V_{DD} 是稳定的	2		s

1. 数值基于特性值，未实际生产测试
2. $t_{SU(HSE)}$ 是启动时间，是从软件使能 LSE 开始，直到得到稳定的 32.768 kHz 震荡的这段时间。这个数值是在一个标准晶体谐振器上测量的，它可能因晶体不同而变化。

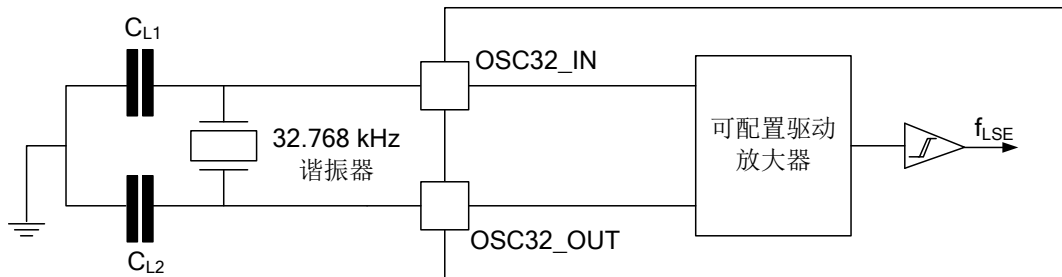


图 6-8 使用 32.768 kHz 晶振的典型应用

对于 C_{L1} 和 C_{L2} ，建议使用高质量的，专门为低频应用设计的 5 pF~20 pF 之间的瓷介电容器，并挑选符合要求的晶振或谐振器。通常 C_{L1} 和 C_{L2} 大小一致，晶体制造商通常以 C_{L1} 和 C_{L2} 的串联组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，应该把 PCB 和 MCU 引脚的容抗考虑在内（可以粗略地把引脚与 PCB 板的电容按 10 pF 估计）。

6.3.8. 内部时钟源特性

高速内部（HSI）RC 振荡器

下表给出的特性参数是在环境温度和供电电压符合表 6.4 的条件下测量得到。

表 6.22 HSI 振荡器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
f_{HSI}	频率	—	—	8	—	MHz
TRIM	HSI 校准步距	—	—	0.5	—	%
Duty	占空比	—	45	—	55	%
ACC	HSI 精度	-40 – 105 °C	—	±3.5	—	%
		25 °C	—	±1.0	—	
$t_{SU(HSI)}$	HSI 启动时间	—	—	5	—	µs
$I_{DDA(HSI)}$	HSI 功耗	—	—	100	—	µA

1. 数值基于特性值，未实际生产测试

内部高速 14MHz（HSI14）RC 振荡器

表 6.23 HSI14 振荡器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
f_{HSI14}	频率	—	—	14	—	MHz
TRIM	HSI14 校准步距	—	—	0.39	—	%
Duty	占空比	—	45	—	55	%
ACC	HSI14 精度	-40 – 105 °C	-4.2	—	5.1	%
		25 °C	—	±1.0	—	
$t_{SU(HSI14)}$	HSI14 启动时间	—	—	2	—	µs
$I_{DDA(HSI14)}$	HSI14 功耗	—	—	60	—	µA

1. 数值基于特性值，未实际生产测试

内部高速 48MHz (HSI48) RC 振荡器

表 6.24 HSI48 振荡器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
f_{HSI48}	频率	—	—	48	—	MHz
TRIM	HSI48 校准步距	—	—	0.14	—	%
Duty	占空比	—	45	—	55	%
ACC	HSI48 精度	-40 – 105 °C	—	±4.8	—	%
		25 °C	—	±1.0	—	
$t_{\text{SU(HSI48)}}$	HSI48 启动时间	—	—	16	—	µs
$I_{\text{DDA(HSI48)}}$	HSI48 功耗	—	—	330	—	µA

1. 数据基于特性值，并未生产测试。

内部低速 (LSI) RC 振荡器

表 6.25 LSI 振荡器特性

符号	参数	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
f_{LSI}	频率	36.4	40	43.6	kHz
$t_{\text{SU(LSI)}}^{(1)}$	LSI 启动时间	—	19	48	µs
$I_{\text{DDA(LSI)}}^{(1)}$	LSI 功耗	—	0.7	1.1	µA

1. 数据基于特性值，并未生产测试。

6.3.9. PLL 特性

下表列出的参数是使用环境温度和供电电压符合表 6.4 的条件测量到的。

表 6.26 PLL 特性

符号	参数	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
$f_{\text{PLL_IN}}$	PLL 输入时钟	0.8	8	24	MHz
	PLL 输入时钟占空比	40	—	60	%
$f_{\text{PLL_OUT}}$	PLL 输出时钟	16	—	96	MHz
t_{LOCK}	PLL 锁相时间	—	—	200	µs
$\text{Jitter}_{\text{PLL}}$	周期期间的抖动	—	—	300	ps

1. 数据基于特性值，并未生产测试。

6.3.10. 存储器特性

除非特殊说明，所有特性参数是在 $T_A = -40 - 105\text{ }^\circ\text{C}$ 得到。

表 6.27 Flash 存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t _{prog}	32bit 编程时间	$T_A = -40 - 105\text{ }^\circ\text{C}$	—	25	—	μs
t _{ERASE}	页(0.5 kB) 擦除时间	$T_A = -40 - 105\text{ }^\circ\text{C}$	—	2	—	ms
t _{ME}	整片 擦除时间	$T_A = -40 - 105\text{ }^\circ\text{C}$	—	8	—	ms
I _{DD}	供电电流	写模式	—	—	10	mA
		擦除模式	—	—	12	mA

1. 数值基于特性值，并未生产测试。

表 6.28 Flash 存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N _{END}	寿命 (擦写次数)	$T_A = -40 - 105\text{ }^\circ\text{C}$	100	千次
t _{RET}	数据保存期限	$T_A = 85\text{ }^\circ\text{C}^{(2)}$, 1000 次擦写之后	20	年
		$T_A = 105\text{ }^\circ\text{C}^{(2)}$, 1000 次擦写之后	10	

1. 数据基于特性值，并未实际生产测试。

2. 满足整个温度范围。

6.3.11. EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS (电磁敏感性)

当运行一个简单的应用程序时 (通过 I/O 端口闪烁 2 个 LED)，测试样品被施加 2 种电磁干扰直到产生错误，LED 闪烁指示错误的产生：

- 静电释放 (ESD) (正放电和负放电) 施加到芯片的所有的引脚直到产生功能性错误。这个测试符合 IEC 61000-4-4 标准。
- FTB: 在所有 V_{DD} 和 V_{SS} 以及 V_{DDA} 和 V_{SSA} 上各接 $1\mu\text{F}$ 的电容 (共 $1\mu\text{F} \times 4$)，并施加一个瞬变电压的脉冲群 (正向和负向) 直到产生功能性错误，这个此时符合 IEC 61000-4-4 标准。

芯片复位可以使系统恢复正常操作。

表 6.29 EMS 特性

符号	参数	条件	级别/类型
V _{FESD}	施加到任意 I/O 脚，从而导致功能性错误的电压极限	$V_{DD}=5.0\text{ V}$, $T_A=25\text{ }^\circ\text{C}$, $f_{HCLK}=72\text{ MHz}$, 符合 IEC 61000-4-2 标准	—
V _{EFTB}	在 V_{DD} 和 V_{SS} 与 V_{DDA} 和 V_{SSA} 上通过 $1\mu\text{F}$ 的电容 (共 $1\mu\text{F} \times 4$) 施加的，直到产生功能性错误的瞬变脉冲电压极限	$V_{DD}=5.0\text{ V}$, $T_A=25\text{ }^\circ\text{C}$, $f_{HCLK}=72\text{ MHz}$, 符合 IEC 61000-4-4 标准	4A

设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，良好的 EMC 性能与用户应用和具体软件密切相关。因此建议用户对软件进行 EMC 优化，并进行与 EMC 相关的认证测试。

软件建议

软件的流程中必须包含控制程序跑飞的情况如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过手动在 NRST 管脚上接上低电平或在晶振引脚引入一个持续 1 秒的低电平重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加到芯片上，当检测到意外动作的时候，软件部分需要加强以防范发生不可恢复的错误。

电磁干扰（EMI）

在运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），检测芯片发射的电磁场。这个测试符合 IEC 61967-2 标准，这个标准规定了测试板和引脚的负载。

表 6.30 EMI 特性

符号	参数	条件	监测的频段	最大值(f_{HSE}/f_{HCLK})	单位
				8/48 MHz	
SEMI	峰值	VDD = 3.6 V T _A = 25 °C 符合 EN55022 标准	0.1~30 MHz	-8	dB μ V
			30~130 MHz	—	
			130 MHz~1 GHz	-6	
			EMI 级别	Class B	—

6.3.12. 电气敏感特性

基于三个不同的测试（ESD，LU），使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电释放（ESD）

静电释放（一个正的脉冲然后间隔一秒钟一个负的脉冲）施加到所有的样品的引脚上，样品大小与芯片上供电引脚数目相关。这个测试符合 MIL-STD-883 / JESD22-C101 标准。

表 6.31 ESD 特性

符号	参数	条件	封装	类型	最小值 ⁽¹⁾	单位
V _{ESD(HBM)}	静电释放电压 (人体模型)	T _A = 25 °C，符合 MIL-STD-883 标准	所有	2	3000	V
V _{ESD(CDM)}	静电释放电压 (充电设备模型)	T _A = 25 °C，符合 JESD22-C101 标准	所有	C2	500	V

1. 数据基于特性值，并未实际生产测试。

静态拴锁

为了评估拴锁性能，需要进行 2 个互补的静态拴锁测试：

- 为了每个电压引脚，提供超过极限的供电电压
- 在每个输入、输出和可配置的 I/O 引脚上注入电流

这些测试符合 EIA/JESD 78 IC 拴锁标准。

表 6.32 电气敏感特性

符号	参数	条件	类型
LU	静态拴锁类型	T _A = 25 °C，符合 JESD78 标准	I 类 A

6.3.13. I/O 注入电流特性

作为一般规则，在正常产品操作期间，应避免由于外部电压低于 VSS 或高于 VDD（对于标准的 3V-I/O）而向 I/O 注入电流。然而，为了在异常注入意外发生的情况下给出微控制器的稳健性的指示，在器件表征期间基于样本进行磁敏度测试。

- 对 I/O 电流注入的功能敏感性

在器件执行简单的应用程序时，通过向浮动输入模式下编程的 I/O 引脚注入电流来对器件施加压力。当电流一次一个地注入 I/O 引脚时，检查器件的功能故障。

超出范围的参数表示故障：ADC 误差值超过某个阈值 (>5LSB TUE)，超出相邻引脚的规格电流注入或是其他功能故障（例如复位，振荡器频率偏差）。

测试结果在下表更新

表 6.33 I/O 注入电流

符号	描述	功能		单位
		负注入	正注入	
I _{INJ}	BOOT0 注入电流	0	NA	mA
	PA11、PA12 的注入电流	-5	NA	
	NRST 的注入电流	0	+5	
	其它引脚的注入电流	-1	NA	

6.3.14. I/O 端口特性

● 通用输入输出特性

除非另有规定，表 6.34 列出的参数是按照表 6.4 的条件测量得到。所有的 I/O 都设计为符合 CMOS 和 TTL 的（除了 BOOT0）。

表 6.34 I/O 静态特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
V _{IL}	输入低电平电压	FC and FCf I/O	—	—	0.3 V _{DD}	V
		BOOT0	—	—	0.3 V _{DD} -0.3	
V _{IH}	输入高电平电压	FC and FCf I/O	0.7 V _{DD}	—	—	V
		BOOT0	0.2 V _{DD} +0.95	—	—	
V _{hys}	I/O 脚施密特触发器电压迟滞	FC and FCf I/O	—	100	—	mV
		BOOT0	—	300	—	
I _{lkg}	输入漏电流 ⁽²⁾	FC and FCf I/O in digital mode V _{SS} ≤ V _{IN} ≤ V _{DD}	—	—	±0.1	μA
R _{PU}	弱上拉等效电阻 ⁽³⁾	V _{IN} = V _{SS}	—	40	—	kΩ
R _{PD}	弱下拉等效电阻 ⁽³⁾	V _{IN} = V _{DD}	—	40	—	kΩ
C _{IO}	I/O 引脚的电容	—	—	5	—	pF

1. 数据基于特性值，并未实际生产测试。
2. 如果在相邻的引脚上注入负电流，则泄漏可能高于最大值，参照表 6.33 I/O 电流注入敏感性
3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMOS / NMOS 开关的电阻很小（约占 10%）。

● 输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达 +/-8 mA 电流，并且吸收 +20 mA 电流（不严格的 VOL）。在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 6.2 节给出的绝对最大额定值：

- 所有 I/O 端口从 VDD 上获取的电流总和，加上 MCU 在 VDD 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}（参见表 6.2）。
- 所有 I/O 端口吸收并从 VSS 上流出的电流总和，加上 MCU 在 VSS 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}（参见表 6.2）。

● 输出电压

除非特别说明下表中的参数是使用环境温度和 VDD 供电电压符合表 6.4 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 6.35 输出电压特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
V_{OL}	I/O 引脚输出低电平	$ I_{IO} =8\text{ mA } V_{DD}\geq 2.7\text{ V}$	—	0.4	V
V_{OH}	I/O 引脚输出高电平		$V_{DD} - 0.4$	—	
$V_{OL}^{(2)}$	I/O 引脚输出低电平	$ I_{IO} =20\text{ mA } V_{DD}\geq 2.7\text{ V}$	—	1.3	V
$V_{OH}^{(2)}$	I/O 引脚输出高电平		$V_{DD} - 1.3$	—	
$V_{OL}^{(2)}$	I/O 引脚输出低电平	$ I_{IO} = 6\text{ mA}$	—	0.4	V
$V_{OH}^{(2)}$	I/O 引脚输出高电平		$V_{DD} - 0.4$	—	
$V_{OLFm+}^{(2)}$	FM 模式下 FCf I/O 输出低电平电压	$ I_{IO} =20\text{ mA } V_{DD}\geq 2.7\text{ V}$	—	0.4	V
		$ I_{IO} =10\text{ mA}$	—	0.4	V

1. 芯片吸收或者输出的电流 I_{IO} 必须遵守表x中给出的绝对最大额定值，同时所有I/Os吸收或输出电流之和必须遵守绝对最大额定值。
2. 基于特性结果、基于特性值。未在生产中进行测试。

● 输入输出交流特性

输入输出交流特性的定义和数值分别在下图和下表给出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 6.4的条件测量得到。

表 6.36 I/O 交流特性^{(1) (2)}

OSPEEDy[1:0]	符号	参数	条件	最小值	最大值	单位
x0	$f_{\max(I/O)out}$	最大频率 ⁽³⁾	$CL = 50\text{ pF}$ $V_{DD} \geq 2.0\text{ V}$	—	2	MHz
	$t_{r(I/O)out}$	输出高电平到低电平的下降时间		—	125	ns
	$t_{r(I/O)out}$	输出低电平到高电平的上升时间		—	125	
01	$f_{\max(I/O)out}$	最大频率 ⁽³⁾	$CL = 50\text{ pF}$ $V_{DD} \geq 2.0\text{ V}$	—	10	MHz
	$t_{r(I/O)out}$	输出高电平到低电平的下降时间		—	25	ns
	$t_{r(I/O)out}$	输出低电平到高电平的上升时间		—	25	
11	$f_{\max(I/O)out}$	最大频率 ⁽³⁾	$CL = 30\text{ pF}, V_{DD} \geq 2.7\text{ V}$	—	50	MHz
			$CL = 50\text{ pF}, V_{DD} \geq 2.7\text{ V}$	—	30	
			$CL = 50\text{ pF}, 2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	—	20	
	$t_{r(I/O)out}$	输出高电平到低电平的下降时间	$CL = 30\text{ pF}, V_{DD} \geq 2.7\text{ V}$	—	5	ns
			$CL = 50\text{ pF}, V_{DD} \geq 2.7\text{ V}$	—	8	
			$CL = 50\text{ pF}, 2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	—	12	

OSPEEDy[1:0]	符号	参数	条件	最小值	最大值	单位
11	$t_{r(IO)out}$	输出低电平到高电平的上升时间	CL = 30 pF, VDD ≥ 2.7 V	—	5	ns
			CL = 50 pF, VDD ≥ 2.7 V	—	8	
			CL = 50 pF, 2.0 V ≤ VDD < 2.7 V	—	12	
Fm+ configuration ⁽⁴⁾	$f_{max(IO)out}$	最大频率 ⁽³⁾	CL = 50 pF, VDD ≥ 2.0 V	—	2	MHz
	$t_{r(IO)out}$	输出高电平到低电平的下降时间		—	12	ns
	$t_{r(IO)out}$	输出低电平到高电平的上升时间		—	34	
—	t_{EXTIpw}	由 EXTI 控制器检测到的外部信号脉宽	—	10	—	ns

1. I/O 端口的速度可以通过 SPEEDy [1:0]配置。参见参考手册中有关 GPIO 端口配置寄存器的说明。
2. 由设计保证，不在生产中测试。
3. 最大频率定义在图 6-9
4. 设置为 FM 模式时，I/O 速度控制被断路。有关 FM I/O 配置详细说明见参考手册

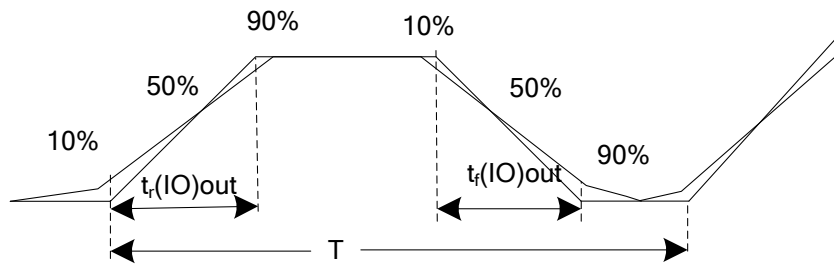


图 6-9 I/O交流特性定义

如果 $(t_r + t_f) \leq \frac{2}{3} T$ ，并且占空比是(45 ~ 55%) 当负载为50 pF时，达到最大的频率

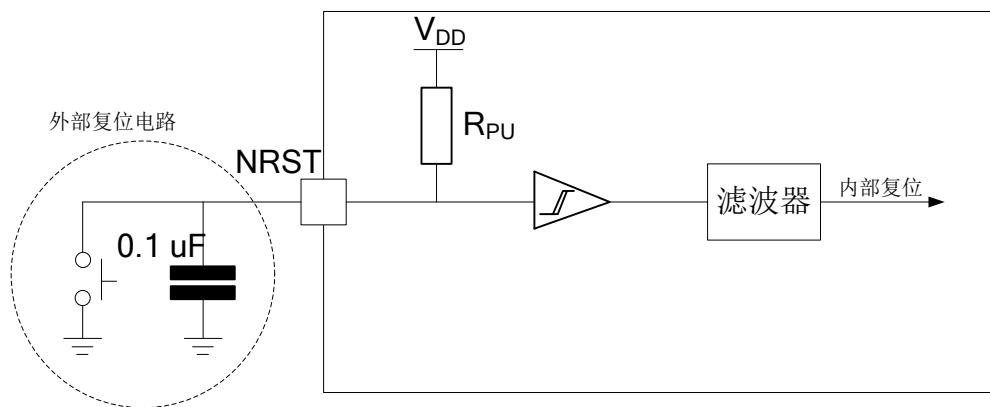
6.3.15. NRST 管脚特性

NRST 管脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻 R_{PU} 。除非特殊说明，下表列出参数是使用环境温度和 V_{DD} 供电电压符合表 6.4 的条件测量得到的。

表 6.37 NRST 管脚特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
VIL(NRST)	NRST 输入低电平电压	—	—	—	0.3 V_{DD}	V
VIH(NRST)	NRST 输入高电平电压	—	0.7 V_{DD}	—	—	
V _{hys} (NRST)	NRST 施密特触发器电压迟滞	—	—	200	—	mV
R_{PU}	弱上拉等效电阻	—	—	4.3	—	k Ω
VF(NRST)	NRST 滤波	—	—	160	—	ns
VNF(NRST)	NRST 不滤波	—	500	—	—	

1. 数据基于特性值，并未实际生产测试。



- 1.外部电容为了保护防止寄生复位
- 2.用户必须保证NRST管脚的电位低于表6.3.31中最大的 $V_{IL(NRST)}$, 否则MCU不能复位

图 6-10 建议的 NRST 引脚保护

6.3.16. 12 位 ADC 特性

除非另有说明，表 6.38 中给出的参数是在表 6.4 中概括的环境温度、 f_{PCLK} 频率和 V_{DDA} 电源电压条件下进行测试得出的初步数值。

注：推荐在每次上电后执行一次校准。

表 6.38 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	用于 ADC 的模拟电源电压	ADC_VREF = VDDA, ADCCLK ≤ 500kHz	2.0	—	5.5	V
		ADC_VREF = VDDA, ADCCLK ≤ 16MHz	2.4	—	5.5	V
		ADC_VREF = Int.2.5V, ADCCLK ≤ 250kHz	2.7	—	5.5	V
$I_{DDA(ADC)}$	ADC ⁽¹⁾ 工作电流	$V_{DD}=V_{DDA}=3.3\text{ V}$	—	0.7	—	mA
f_{ADC}	ADC 时钟频率	—	—	14	—	MHz
$f_S^{(2)}$	采样速率	—	—	1	—	MHz
$f_{TRIG}^{(2)}$	外部触发频率	$f_{ADC}=14\text{ MHz}$	—	—	823	kHz
		—	—	—	17	$1/f_{ADC}$
V_{AIN}	转换电压范围	—	0	—	V_{REF+}	V
$R_{AIN}^{(2)}$	外部输入阻抗	—	—	—	50	kΩ
$R_{ADC}^{(2)}$	采样开关电阻	—	—	1	—	kΩ
$C_{ADC}^{(2)}$	内部采样保持电容	—	—	3	—	pF
$t_{CAL}^{(2)(3)}$	校准时间	$f_{ADC}=14\text{ MHz}$	8.4			μs
		—	117			$1/f_{ADC}$
$W_{LATENCY}^{(2)(4)}$	ADC_DR 寄存器写入延迟	—	2	—	3	$1/f_{PCLK}$
$t_{latr}^{(2)}$	触发转换延迟	—	2	—	3	$1/f_{ADC}$
$Jitter_{ADC}$	触发转换时的 ADC 抖动	—	—	1	—	$1/f_{ADC}$
$t_S^{(2)}$	采样时间	$f_{ADC}=14\text{ MHz}$	0.107	—	17.1	μs
		—	1.5	—	239.5	$1/f_{ADC}$
$t_{STAB}^{(2)}$	稳定时间	—	20			$1/f_{ADC}$
$t_{CONV}^{(2)}$	整个转换时间 (包括采样时间)	$f_{ADC}=14\text{ MHz}$ 12 位分辨率	1	—	18	μs
		12 位分辨率	14 到 252(逐次逼近时间为采样周期数 $t_S+12.5$)			$1/f_{ADC}$

1. 在已采样数值的转换中(12.5 x ADC 时钟周期), IDDA 上 100 μA 和 IDD 上 60 μA 的额外消耗要考虑在内。
2. 设计保证, 未在产品中测试。
3. 指定数值仅包含 ADC 时序。不包含寄存器访问延迟。
4. 这个参数规定转换结果到 ADC_DR 寄存器的传输延迟。该时间置位 EOC 标志。

方程 1: R_{AIN} 最大值公式

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式（方程 1）用于确认允许误差小于 1/4 LSB 的最大外部阻抗。这里 N=12（12 位分辨率）。

表 6.39 在 $f_{ADC}=14$ MHz 下的 R_{AIN} 最大值

T_s (cycles)	t_s (μ s)	R_{AIN} max (k Ω) ⁽¹⁾
1.5	0.11	2.7
7.5	0.54	17.4
13.5	0.96	32.1
28.5	2.04	NA
41.5	2.96	NA
55.5	3.96	NA
71.5	5.11	NA
239.5	17.1	NA

1. 设计保证，未在产品中测试。

表 6.40 ADC 精度⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件		典型值	最大值 ⁽⁴⁾	单位
ET	总不可调整误差			± 4	—	LSB
EO	偏移误差	$F_{HCLK} = 8$ MHz $V_{DD} = V_{DDA} = 5$ V, ADC Vref = V_{DDA} $R_{AIN} < 10$ k Ω $T_A = 25$ °C		± 3	—	
EG	增益误差			± 5	—	
ED	差分线性误差			± 1	—	
EL	积分线性误差	$F_{HCLK} = 8$ MHz, $V_{DD} = V_{DDA} = 5$ V $R_{AIN} < 10$ k Ω $T_A = 25$ °C	$ADCVref = V_{DDA}$ $f_{ADC} = 14$ MHz	± 1	—	
ED	差分线性误差		$ADCVref = Int\ 2.5V$ $f_{ADC} = 250kHz$	± 1	—	
EL	积分线性误差			± 2	—	

1. ADC DC 精度数值会在内部校准后被测量。

2. ADC 精度与负注入电流对比：应该避免在任何标准（非鲁棒）模拟输入引脚上注入负电流，因为这会显著降低在另一个模拟输入上执行转换的正确性。建议在可能会注入负电流的标准模拟引脚上增加一个肖特基二极管（引脚接地）。

任何在[章节 6.3.14](#)中指定的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 限制内的正注入电流不影响 ADC 精度。

3. 在限制的 V_{DDA} 、频率和温度范围内可以获得更好的性能。

4. 数据基于特性结果，未在产品中测试。

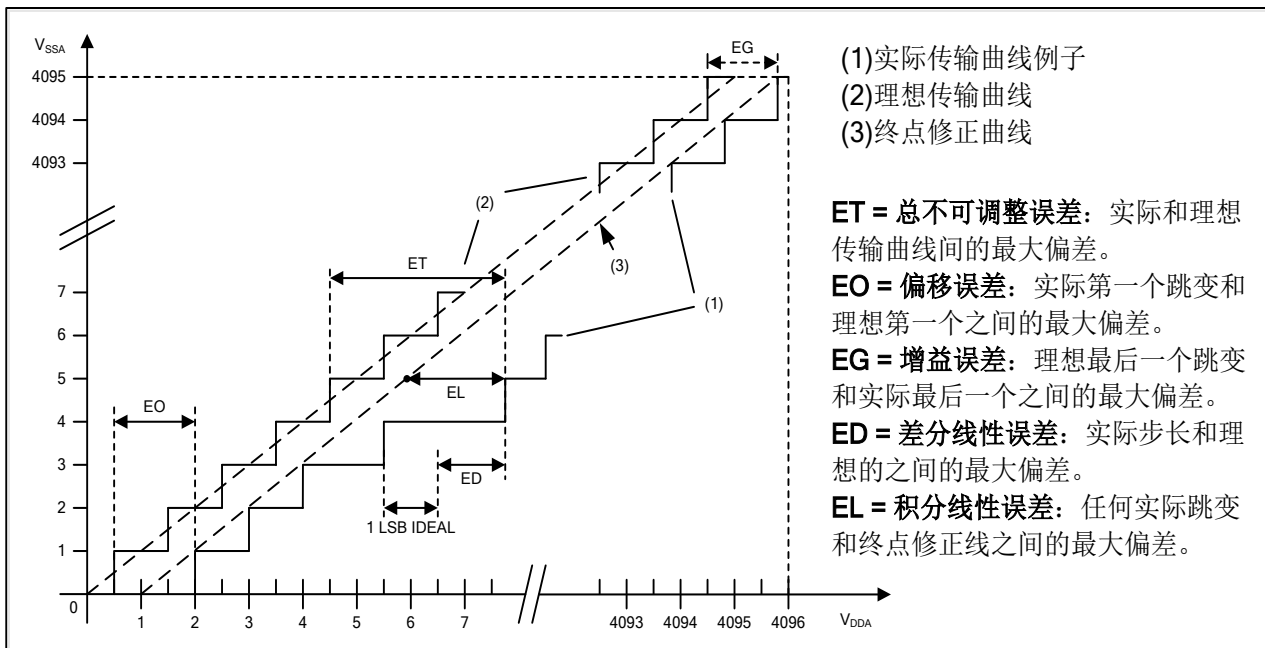


图 6-11 ADC 精度特性

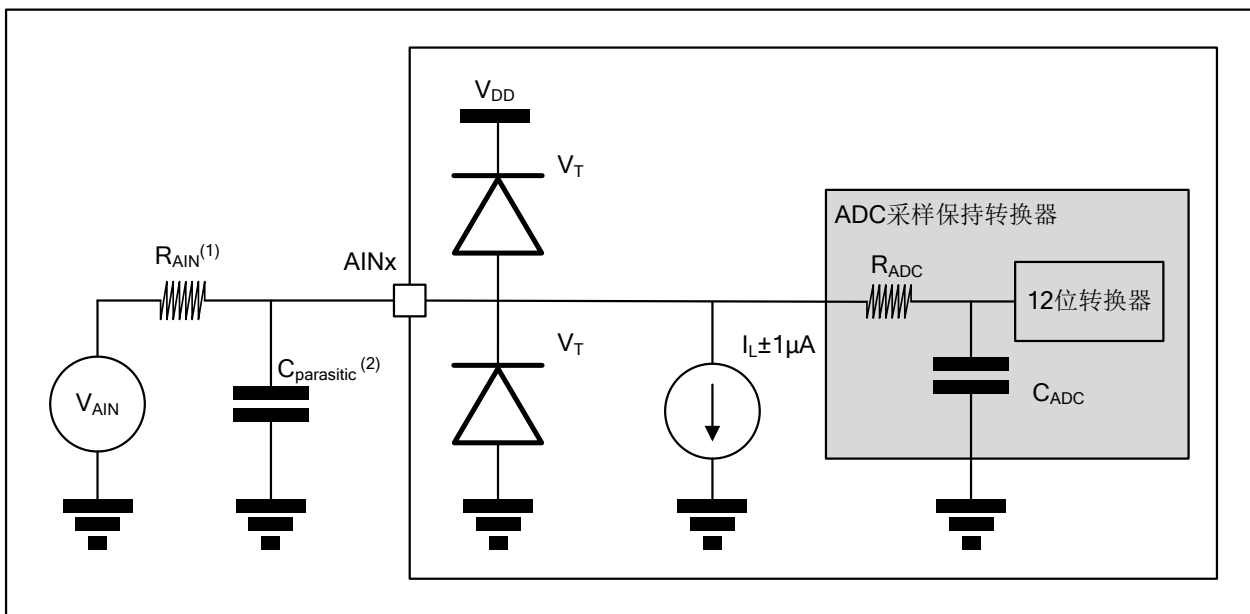


图 6-12 ADC 典型应用连接图

1. R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值参考表 6.38: ADC 特性。
2. $C_{parasitic}$ 代表 PCB 板上的电容（取决于焊接和 PCB 布线质量）加上 PAD 电容（大约 7 pF）。一个高的 $C_{parasitic}$ 数值会降低转换精度。为了弥补这点，应该要减小 f_{ADC} 。

通用 PCB 设计参考

电源供电去耦如图 6-3: 电源供电方案所示的方法执行。10 nF 电容应该是陶瓷的（质量好），并且应该尽可能摆放在靠近芯片。

6.3.17. 温度传感器(V_{TS})特性

表 6.41 TS 特性

符号	参数	最小值	典型值	最大值	单位
T _L ⁽¹⁾	V _{TS} 温度线性度	—	±1.4	±2	°C
Avg_Slope ⁽¹⁾	平均斜率	—	4.3	—	mV/°C
V ₂₅	25 °C 下的电压 (±5 °C) ⁽²⁾	—	1.50	—	V
t _{START} ⁽¹⁾	ADC_IN16 缓冲启动时间	—	—	10	μs
t _{S_temp} ⁽¹⁾	读取温度时 ADC 采样时间	4	—	—	μs

1. 设计保证，未在产品中测试。
2. 在 VDDA=3.3 V ± 10 mV 条件下测量。V₂₅ ADC 转换结果存储在 TS_CAL1 字节中。参考表 3.2：温度传感器校准值。

6.3.18. IO 采样保持电路(V_{IOSH})特性

表 6.42 IO 采样保持电路特性

符号	参数	最小值	典型值	最大值	单位
t _{S_iosh} ⁽¹⁾	读取 V _{IOSH} 时 ADC 采样时间	—	4	—	μs
t _{IOSH_SAMP}	IO 口输入采样时间（详见公式 1 和表 6.43）	—	3.32	—	μs
t _{IOSH_HOLD} ⁽¹⁾	IO 口电压输出保持时间（关闭采样后）	—	1	—	ms
V _{IOSH_AIN} ⁽¹⁾	IO 口输入电压范围	—	—	V _{DDA} -1.5V	V
V _{IOSH_OFFSET} ⁽¹⁾	电路失调电压值	—	8	—	mV

1. 设计保证，未在产品中测试。

公式 1: t_{IOSH_SAMP} 最小值公式

$$t_{IOSH_SAMP} > [0.04 \times R + 2.84] (\mu s)$$

表 6.43 不同外部串联电阻下的最小 t_{IOSH_SAMP}

电阻(kΩ)	t _{IOSH_SAMP} (μs) ⁽¹⁾
> 50	(不推荐)
50	4.84
25	3.84
12	3.32
< 12	3.32

1. 设计保证，未在产品中测试。

6.3.19. 运算放大电路特性

表 6.44 运算放大电路特性

符号	参数	最小值	典型值	最大值	单位
$t_{S_op}^{(1)}$	读取运放输出时 ADC 采样时间	—	4	—	μs
$t_{OP_SAMP}^{(1)}$	IO 输入采样到输出稳定时间	—	300	—	μs
$V_{OP_AIN}^{(1)}$	IO 输入电压范围, $V_{DD} = 5V$	V_{SS}	—	$V_{DDA} - 1.4$	V
$V_{OP_OFFSET}^{(1)}$	失调电压值	—	± 0.75	—	mV
GBW ⁽¹⁾	增益带宽	—	2.49	—	MHz
PSRR ⁽¹⁾	电源电压抑制比, $V_{DD} = 5V$	—	100	—	dB
CMRR ⁽¹⁾	共模抑制比, $V_{CM} = V_{DD}/2$, $V_{DD} = 5V$	—	100	—	dB
GAIN ⁽¹⁾	电压增益	—	135	—	dB

1. 设计保证, 未在产品中测试。

6.3.20. 比较器

表 6.45 比较器特性

符号	参数	最小值		典型值		最大值		单位
		COMP1	COMP2	COMP1	COMP2	COMP1	COMP2	
V_{DDA}	模拟电压电源	2.0	2.0	—	—	5.5	5.5	V
V_{IN}	比较器输入电压范围 ⁽¹⁾	1.0	0.5	—	—	$V_{DDA} - 0.5$	$V_{DDA} - 1.5$	V
t_D	比较器参考端 1.5V, 输入电压在参考端 1.5V \pm 100 mV 变化	—	—	—	—	—	—	ns
V_{offset}	比较器偏移误差 ⁽²⁾	—	—	± 8	± 7	—	—	mV
$I_{DD(comp)}$	比较器当前功耗	—	—	60	60	—	—	μA

1. -40 – 85 °C, $V_{DD} = 2.0V \sim 5.5V$;

2. -40 – 85 °C, $V_{in} = V_{DD}/2$, $V_{DD} = 2.0V \sim 5.5V$;

6.3.21. TIM 定时器特性

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情, 参见第 6.3.14 节。

表 6.46 TIMx 特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
$t_{res}(TIM)$	定时器分辨率	—	—	—	$t_{TIMXCLK}$
		$f_{TIMXCLK} = 72MHz$	13.9	—	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	—	—	$f_{TIMXCLK}/2$	MHz
		$f_{TIMXCLK} = 72MHz$	0	36 MHz	MHz
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期	—	—	65536	$t_{TIMXCLK}$
		$f_{TIMXCLK} = 72MHz$	0.0139	910	μs
$t_{MAX\ COUNT}$	最大可能的计数	—	—	$65536 * 65536$	$t_{TIMXCLK}$
		$f_{TIMXCLK} = 72MHz$	—	59.65	s

1. 设计保证, 未在产品中测试。

表 6.47 独立看门狗在 40kHz 时钟（LSI）下的最小最大超时时间⁽¹⁾

分频系数	PR[2:0]	最小超时 RL[1:0]=0x000	最大超时 RL[1:0]=0xFFFF	单位
/4	0	0.1	409.6	ms
/8	1	0.2	819.2	
/16	2	0.4	1638.4	
/32	3	0.8	3276.8	
/64	4	1.6	6553.6	
/128	5	3.2	13107.2	
/256	6 或 7	6.4	26214.4	

1. 上述超时时间是由 40kHz 时给出的，但是微型控制器内部 RC 频率范围可以从 30kHz 到 60kHz。此外，即使由一个准确的外部 RC 振荡器频率，准确超时时间仍然需要依据 APB 时钟与 LSI 时钟的相位比值去确定，所以 RC 周期有很大的不确定性。

表 6.48 窗口看门狗在 72MHz 时钟（PCLK）下的最小最大超时时间

预分频器	WDGTB	最小超时值	最大超时值	单位
1	0	0.0568	3.6409	ms
2	1	0.1138	7.2817	
4	2	0.2275	14.5635	
8	3	0.4551	29.1271	

6.3.22. 通信接口

SPI 接口特性

除非特别说明，下表列出的参数是使用环境温度， f_{PCLKX} 频率和 V_{DD} 供电电压符合表 6.4 的条件测量得到。

有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参考第 6.3.14 节

表 6.49 SPI 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{C(SCK)}$	SPI 时钟频率	主模式	—	36	MHz
		从模式	—	18	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 上升和下降时钟	负载电容: C=15 pF	—	6	ns
$t_{su(NSS)}^{(2)}$	NSS 建立时间	从模式	$4T_{PCLK}$	—	ns
$t_{su(NSS)}^{(2)}$	NSSB 保持时间	从模式	$2T_{PCLK} + 10$	—	
$t_{W(SCKH)}$ $t_{W(SCKL)}$	SCK 高和低的时间	主模式, $f_{PCLK} = 36\text{MHz}$ 预分频系数=4	$T_{PCLK}/2-2$	$T_{PCLK}/2+1$	ns
$t_{su(MI)}$ $t_{su(SI)}$	数据输入建立时间	主模式	4	—	
		从模式	5	—	
$t_{h(MI)}$ $t_{h(SI)}$	数据输入保持时间	主模式	4	—	
		从模式	5	—	
$t_{a(SO)}^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK} = 24\text{MHz}$	0	$4 T_{PCLK}$	
$t_{dis(SO)}^{(3)}$	数据输出禁止事件	从模式	0	18	
$t_{v(SO)}$	数据输出有效时间	从模式 (使能边沿之后)	—	22.5	
$t_{v(MO)}$	数据输出有效时间	主模式 (使能边沿之后)	—	6	
$t_{h(SO)}$	数据输出保持时间	从模式 (使能边沿之后)	11.5	—	
$t_{h(MO)}$		主模式 (使能边沿之后)	2	—	
DutyCK)	SPI 从机输入时钟 占空比	从模式	25	75	%

1. 数据由评估得出，而不是由产品测试得出。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小事件，最大值表示把数据线置于高阻态的最大时间。

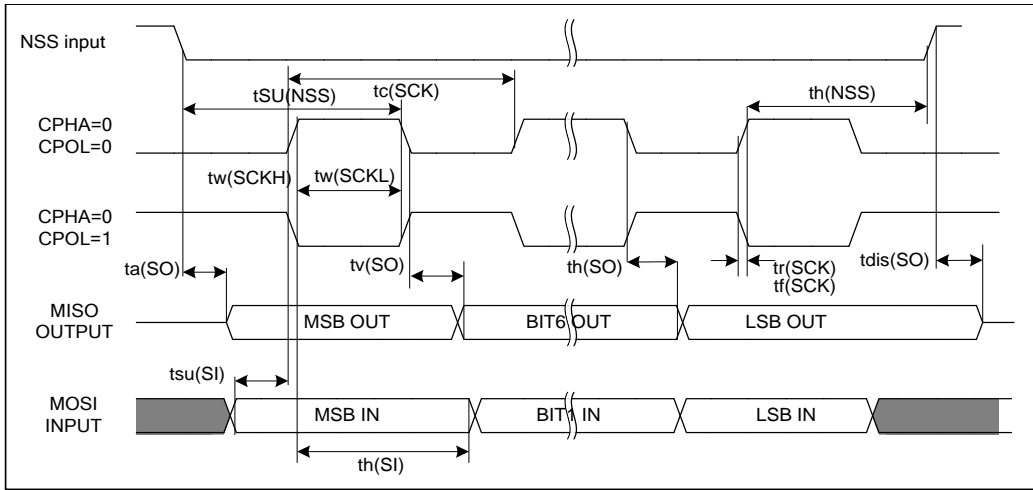


图 6-13 SPI 时序图-从模式并且 CPHA=0

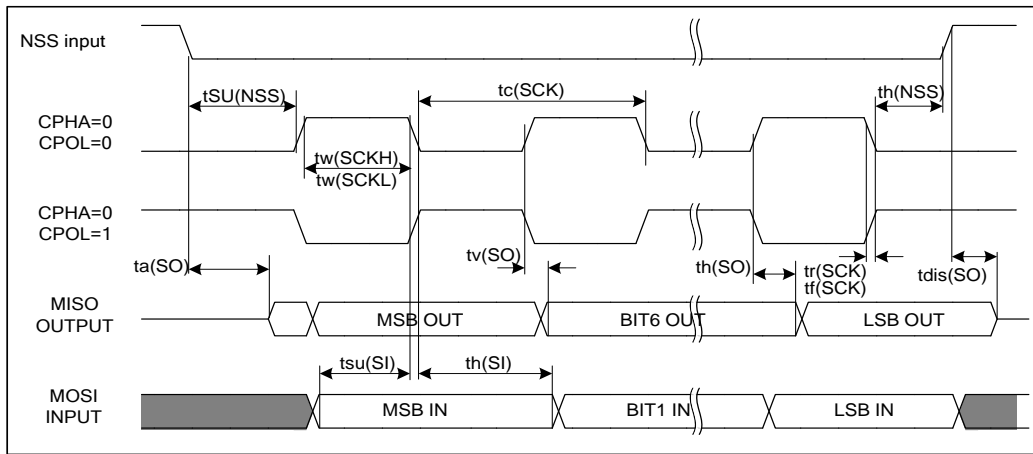


图 6-14 SPI 时序图-从模式并且 CPHA=1

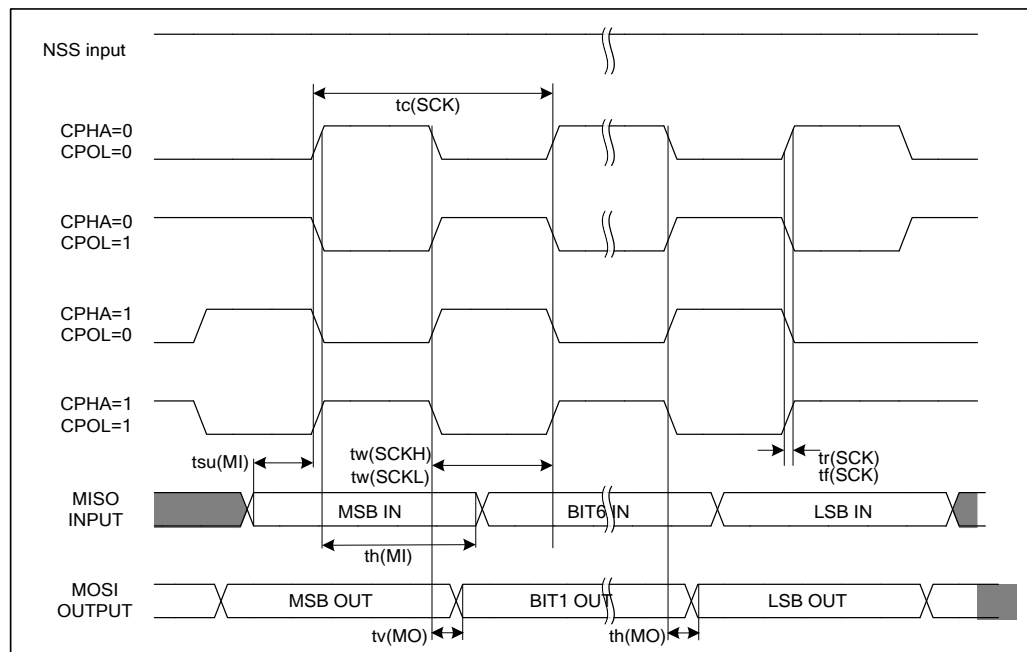


图 6-15 SPI 时序图-主模式

USB 接口特性

FT32F072xx 的 USB 接口支持 USB1.1 协议，兼容 USB2.0 全速协议

表 6.50 USB 特性

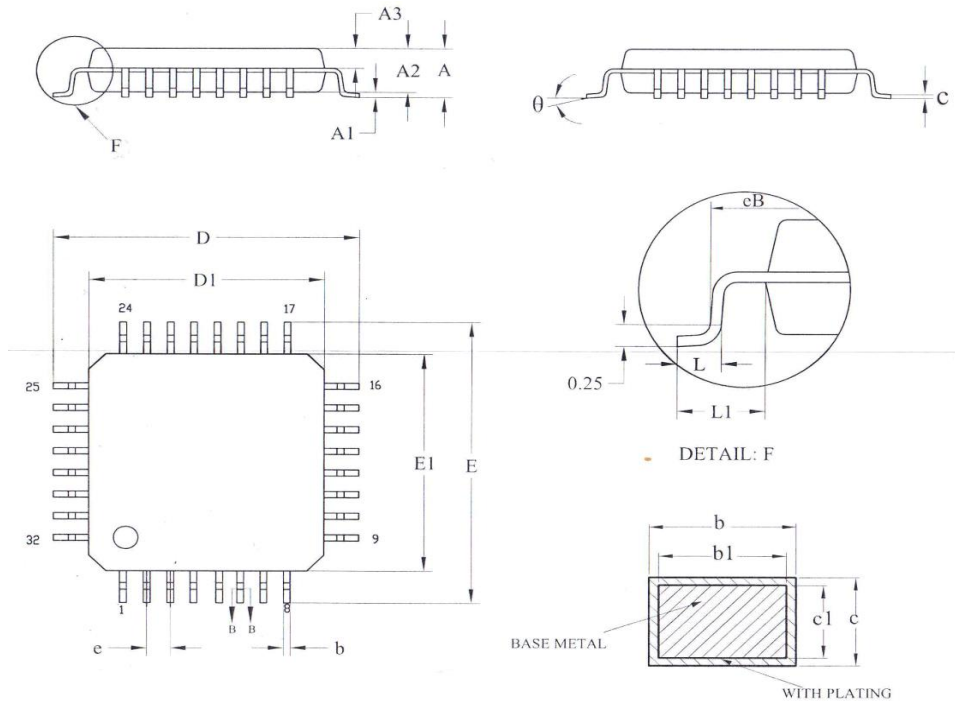
符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
V_{DD}	USB 收发器工作电压	—	3.0	—	3.6	V
$t_{STARTUP}^{(1)}$	USB 收发器启动时间	—	—	1.0	—	μs
R_{PUI}	IDLE 模式 USB DP 线上拉电阻	—	—	1.5	—	k Ω
R_{PUR}	接收模式 USB DP 线上拉电阻	—	—	1.5	—	
$Z_{DRV}^{(1)}$	输出驱动阻抗	驱动高/低	—	40	—	Ω

1. 设计保证，未在产品中测试。
2. 使用 USB 时，DP 和 DM 需外部串联 10 ohm 电阻。

7. 封装信息

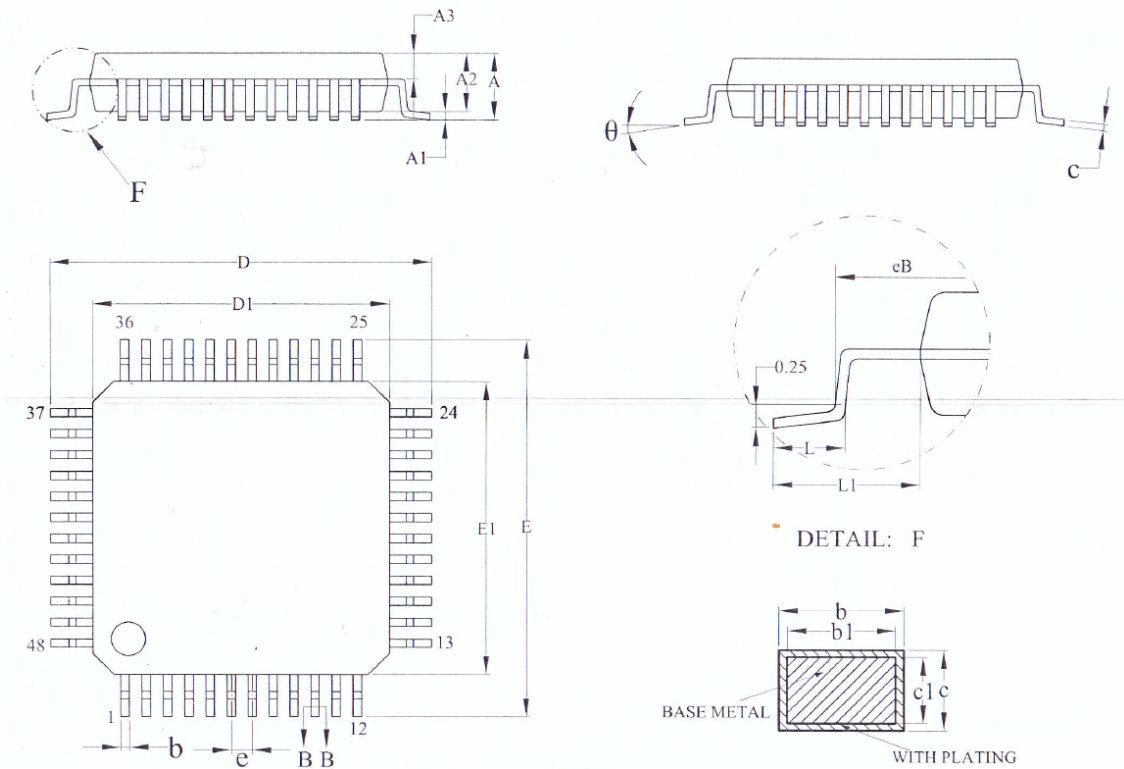
FT32F072xx 芯片有 LQFP32, LQFP48 和 LQFP64 封装。

LQFP32



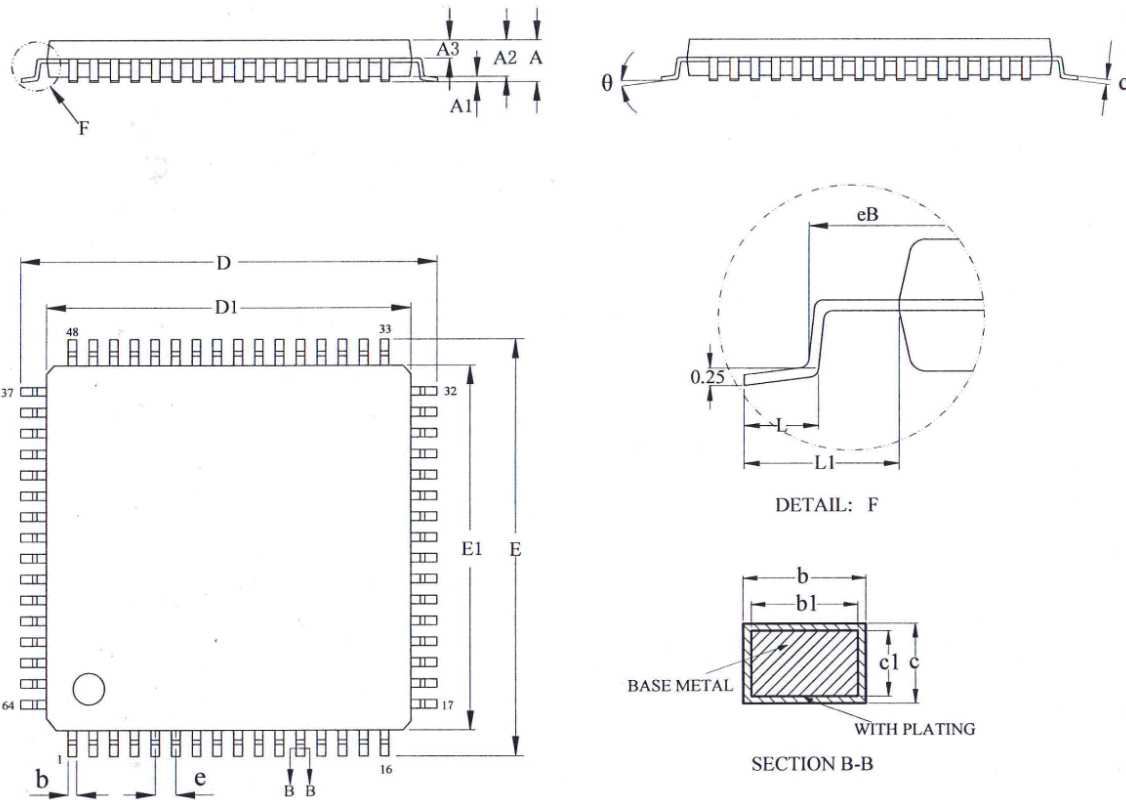
Symbol	Millimeters			Inches		
	Min	Typ	Max	Min	Typ	Max
A	—	—	1.600	—	—	0.063
A1	0.050	—	0.150	0.002	0.000	0.006
A2	1.350	1.400	1.450	0.053	0.055	0.057
A3	0.590	0.640	0.690	0.023	0.025	0.027
b	0.330	—	0.410	0.013	—	0.016
b1	0.320	0.350	0.380	0.013	0.014	0.015
c	0.130	—	0.170	0.005	—	0.007
c1	0.120	0.130	0.140	0.005	0.005	0.006
D	8.800	9.000	9.200	0.346	0.354	0.362
D1	6.900	7.000	7.100	0.272	0.276	0.280
E	8.800	9.000	9.200	0.346	0.354	0.362
E1	6.900	7.000	7.100	0.272	0.276	0.280
eB	8.100	—	8.250	0.319	—	0.325
e	0.800BSC			0.031BSC		
L	0.450	—	0.750	0.018	—	0.030
L1	1.000REF			0.039REF		
θ	0°	—	7°	0°	—	7°

LQFP48



Symbol	Millimeters			Inches		
	Min	Typ	Max	Min	Typ	Max
A	—	—	1.600	—	—	0.063
A1	0.050	—	0.150	0.002	—	0.006
A2	1.350	1.400	1.450	0.053	0.055	0.057
A3	0.590	0.640	0.690	0.023	0.025	0.027
b	0.180	—	0.260	0.007	—	0.010
b1	0.170	0.200	0.230	0.007	0.008	0.009
c	0.130	—	0.170	0.005	—	0.007
c1	0.120	0.130	0.140	0.005	0.005	0.006
D	8.800	9.000	9.200	0.346	0.354	0.362
D1	6.900	7.000	7.100	0.272	0.276	0.280
E	8.800	9.000	9.200	0.346	0.354	0.362
E1	6.900	7.000	7.100	0.272	0.276	0.280
eB	8.100	—	8.250	0.319	—	0.325
e	0.500BSC			0.020BSC		
L	0.450	—	0.750	0.018	—	0.030
L1	1.000REF			0.039REF		
θ	0°	—	7°	0°	—	7°

LQFP64



Symbol	Millimeters			Inches		
	Min	Typ	Max	Min	Typ	Max
A	—	—	1.600	—	—	0.063
A1	0.050	—	0.150	0.002	—	0.006
A2	1.350	1.400	1.450	0.053	0.055	0.057
A3	0.590	0.640	0.690	0.023	0.025	0.027
b	0.180	—	0.260	0.007	—	0.010
b1	0.170	0.200	0.230	0.007	0.008	0.009
c	0.130	—	0.170	0.005	—	0.007
c1	0.120	0.130	0.140	0.005	0.005	0.006
D	11.800	12.000	12.200	0.465	0.472	0.480
D1	9.900	10.000	10.100	0.390	0.394	0.398
E	11.800	12.000	12.200	0.465	0.472	0.480
E1	9.900	10.000	10.100	0.390	0.394	0.398
eB	11.050	—	11.250	0.435	—	0.443
e	0.500BSC			0.020BSC		
L	0.450	—	0.750	0.018	—	0.030
L1	1.000REF			0.039REF		
theta	0°	—	7°	0°	—	7°

文档更改历史

版本	日期	内容
1.00	2021-06-22	更新电气特性内容
1.01	2021-08-26	更新产品特性内容 更新规格说明 更新表 4-1 FT32F072xx 引脚定义
1.02	2021-09-16	修改部分笔误 更新型号名称 更新表 3-4 定时器功能比较 更新 3.5.1, 3.5.2 V_{DDA} 上电描述 更新表 5-1 外设寄存器边界地址
1.03	2021-12-14	添加 FT32F072K8BT7 (LQFP32)
1.04	2022-1-28	更新表 4-1 FT32F072xx 引脚定义 更新表 6.45 TIMx 特性
1.05	2022-2-28	更新表 2.1 FT32F072xx 系列芯片选型表
1.06	2022-5-24	更新产品特性页 更新 6.电气特性章节部分参数 添加 FT32F072C8BT7 (LQFP48) 更新表 6.4 模拟部分工作电压, 表 6.38 ADC 特性 更新表 6.6 内部复位和电源控制模块特性表, 添加表 6.13 RTC 电流功耗
1.07	2022-6-23	修改部分笔误 更新表 2.1 FT32F072xx 系列芯片选型表
1.08	2022-7-11	更新电气特性部分 表 6.2 最大额定电流特性 表 6.50 USB 特性注意事项
1.09	2022-10-12	更新表 2.1 FT32F072xx 系列芯片选型表
1.10	2022-10-21	增加封面 更新 6.3.14 节 I/O 端口特性部分参数
1.11	2022-11-01	更新 3.5.4 节 低功耗模式的注意事项
1.12	2022-11-08	更新表 4.1 修改部分笔误
1.13	2022-11-25	添加 FT32F072G8BU7 (QFN28) 修改 4.引脚定义章节部分笔误
1.14	2023-03-27	更新表 4-1, 4-2, 6-2, 6-4, 6-16, 6-31, 6-32, 6-34, 6-35, 6-45 修改部分笔误
1.15	2023-06-25	更新表 6.8 嵌入式内部基准电压 修改部分笔误
1.16	2023-07-06	删除 FT32F072G8BU7 (QFN28)